

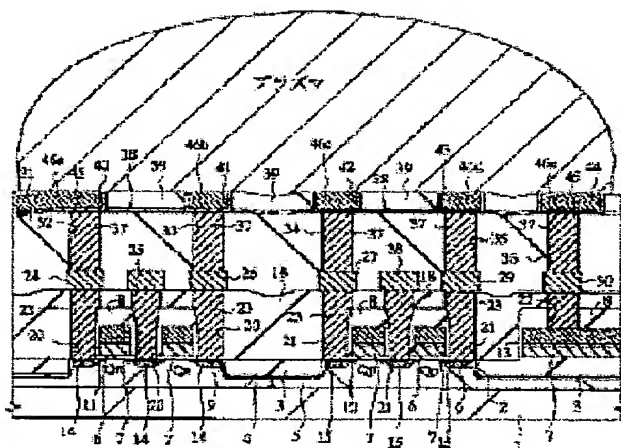
SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE

Patent number: JP2001053076
Publication date: 2001-02-23
Inventor: NOGUCHI JUNJI; OHASHI TADASHI; TAKEDA KENICHI; SAITO TATSUYUKI; YAMAGUCHI HIDE; OWADA NOBUO
Applicant: HITACHI LTD
Classification:
- international: H01L21/3205; H01L21/768
- european:
Application number: JP19990226876 19990810
Priority number(s):

Abstract of JP2001053076

PROBLEM TO BE SOLVED: To enable copper wiring formed through a damascene method to be improved in dielectric breakdown strength (reliability).

SOLUTION: Cu wirings 46a to 46e buried in wiring grooves 40 cut in a silicon oxide film 39 are formed through a CMP method and subjected to cleaning, and then the surfaces of the silicon oxide film and the Cu wirings 46a and 46e are treated with a reducing plasma (ammonia plasma). Thereafter, a cap film (silicon nitride film) is continuously formed without breaking a vacuum.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-53076
(P2001-53076A)

(43) 公開日 平成13年2月23日 (2001.2.23)

(51) Int.Cl.⁷

識別記号

F I

テームト (参考)

H 0 1 L 21/3205
21/768

H 0 1 L 21/88
21/90

K 5 F 0 3 3
A

審査請求 未請求 請求項の数30 O L (全 33 頁)

(21) 出願番号 特願平11-226876

(22) 出願日 平成11年8月10日 (1999.8.10)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 野口 純司

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72) 発明者 大橋 直史

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

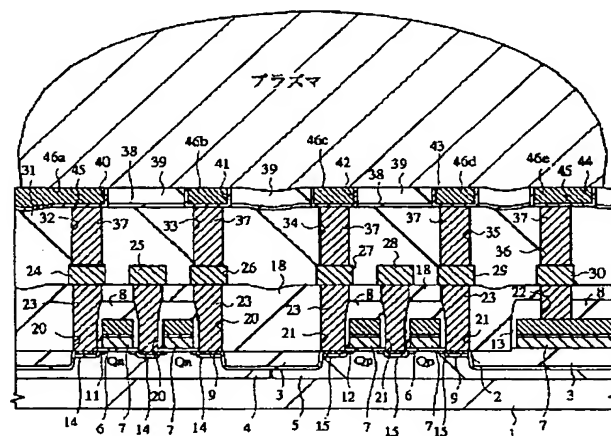
(54) 【発明の名称】 半導体集積回路装置および半導体集積回路装置の製造方法

(57) 【要約】

【課題】 ダマシン法を用いて形成された銅配線の絶縁破壊耐性 (信頼性) を向上する。

【解決手段】 シリコン酸化膜39の配線溝40に埋め込むCu配線46a~46eをCMPを用いた研磨で形成し、CMP後の洗浄工程を経た後に、シリコン酸化膜39およびCu配線46a~46eの表面を還元性プラズマ (アンモニアプラズマ) で処理する。その後、真空破壊することなく、連続的にキャップ膜 (シリコン窒化膜) を形成する

図 16



【特許請求の範囲】

【請求項 1】 (a) 半導体基板の上層に第 1 絶縁膜を形成し、前記第 1 絶縁膜に溝を形成する工程、

(b) 前記第 1 絶縁膜上に第 1 導電膜を堆積し、前記溝を埋め込む第 2 導電膜を形成する工程、

(c) 前記溝以外の前記第 1 絶縁膜上の前記第 2 導電膜および第 1 導電膜を研磨により除去し、前記溝内に配線を形成する工程、

(d) 前記第 1 絶縁膜および配線の表面を還元性雰囲気のパラズマにより処理する工程、

(e) 前記パラズマ処理工程の終了後、前記第 1 絶縁膜および配線上に第 2 絶縁膜を堆積する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 2】 請求項 1 記載の半導体集積回路装置の製造方法であって、

前記還元性雰囲気のパラズマは、アンモニア (NH_3) パラズマ、または、水素 (H_2) パラズマであることを特徴とする半導体集積回路装置の製造方法。

【請求項 3】 請求項 1 記載の半導体集積回路装置の製造方法であって、

前記還元性雰囲気のパラズマは、アンモニア (NH_3) と希釈ガスとの混合ガスパラズマであり、前記希釈ガスは、水素 (H_2)、窒素 (N_2)、アルゴン (Ar)、ヘリウム (He) から選択された単一または複数のガスであることを特徴とする半導体集積回路装置の製造方法。

【請求項 4】 請求項 3 記載の半導体集積回路装置の製造方法であって、

前記混合ガスに対するアンモニア (NH_3) の濃度は 5 % 以上であることを特徴とする半導体集積回路装置の製造方法。

【請求項 5】 請求項 1 記載の半導体集積回路装置の製造方法であって、

前記還元性雰囲気のパラズマは、水素 (H_2) と希釈ガスとの混合ガスパラズマであり、

前記希釈ガスは、アンモニア (NH_3)、窒素 (N_2)、アルゴン (Ar)、ヘリウム (He) から選択された単一または複数のガスであることを特徴とする半導体集積回路装置の製造方法。

【請求項 6】 請求項 5 記載の半導体集積回路装置の製造方法であって、

前記混合ガスに対する水素 (H_2) の濃度は 5 % 以上であることを特徴とする半導体集積回路装置の製造方法。

【請求項 7】 請求項 1 記載の半導体集積回路装置の製造方法であって、

前記第 1 絶縁膜はシリコン酸化膜であり、

前記第 2 導電膜は銅からなることを特徴とする半導体集積回路装置の製造方法。

【請求項 8】 請求項 7 記載の半導体集積回路装置の製

造方法であって、

前記第 2 絶縁膜はシリコン窒化膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項 9】 請求項 8 記載の半導体集積回路装置の製造方法であって、

前記還元性雰囲気のパラズマは、アンモニア (N H_3)、水素 (H_2)、または、これらのガスと窒素 (N_2)、アルゴン (Ar)、ヘリウム (He) から選択された単一または複数のガスとの混合ガスのパラズマであることを特徴とする半導体集積回路装置の製造方法。

【請求項 10】 請求項 9 記載の半導体集積回路装置の製造方法であって、

前記銅は、99.99 % 以上の高純度であることを特徴とする半導体集積回路装置の製造方法。

【請求項 11】 請求項 1 記載の半導体集積回路装置の製造方法であって、

前記 (c) 工程と (d) 工程との間に、前記第 1 絶縁膜および配線の表面を酸洗浄する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 12】 請求項 11 記載の半導体集積回路装置の製造方法であって、

前記酸洗浄には、フッ化水素 (HF) またはクエン酸 ($\text{C}(\text{CH}_2\text{COOH})_2(\text{OH})(\text{COOH})$) の水溶液を用いることを特徴とする半導体集積回路装置の製造方法。

【請求項 13】 請求項 12 記載の半導体集積回路装置の製造方法であって、

前記第 1 絶縁膜はシリコン酸化膜であり、前記第 2 導電膜は銅からなり、前記第 2 絶縁膜はシリコン窒化膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項 14】 請求項 13 記載の半導体集積回路装置の製造方法であって、

前記還元性雰囲気のパラズマは、アンモニア (N H_3)、水素 (H_2)、または、これらのガスと窒素 (N_2)、アルゴン (Ar)、ヘリウム (He) から選択された単一または複数のガスとの混合ガスのパラズマであることを特徴とする半導体集積回路装置の製造方法。

【請求項 15】 請求項 14 記載の半導体集積回路装置の製造方法であって、

前記銅は、99.99 % 以上の高純度であることを特徴とする半導体集積回路装置の製造方法。

【請求項 16】 請求項 1 記載の半導体集積回路装置の製造方法であって、

前記 (c) 工程における研磨には、砥粒フリーの化学機械研磨法を用いることを特徴とする半導体集積回路装置の製造方法。

【請求項 17】 請求項 16 記載の半導体集積回路装置の製造方法であって、

前記(c)工程における研磨は、砥粒フリー化学機械研磨を行う第1研磨、有砥粒化学機械研磨を行う第2研磨、および、前記第2導電膜に対して前記第1導電膜の選択比が5以上である化学機械研磨を行う第3研磨の3段階の化学機械研磨で行われることを特徴とする半導体集積回路装置の製造方法。

【請求項18】 請求項17記載の半導体集積回路装置の製造方法であって、

前記第1絶縁膜はシリコン酸化膜であり、前記第2導電膜は銅からなり、前記第2絶縁膜はシリコン窒化膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項19】 請求項18記載の半導体集積回路装置の製造方法であって、

前記還元性雰囲気のパラズマは、アンモニア(NH_3)、水素(H_2)、または、これらのガスと窒素(N_2)、アルゴン(Ar)、ヘリウム(He)から選択された単一または複数のガスとの混合ガスのパラズマであることを特徴とする半導体集積回路装置の製造方法。

【請求項20】 請求項19記載の半導体集積回路装置の製造方法であって、

前記(c)工程と(d)工程との間に、前記第1絶縁膜および配線の表面をフッ化水素(HF)またはクエン酸($\text{C}(\text{CH}_2\text{COOH})_2(\text{OH})(\text{COOH})$)の水溶液を用いて酸洗浄する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項21】 請求項20記載の半導体集積回路装置の製造方法であって、

前記銅は、99.99%以上の高純度であることを特徴とする半導体集積回路装置の製造方法。

【請求項22】 (a)半導体基板の上層に第1絶縁膜を形成し、前記第1絶縁膜に溝を形成する工程、

(b)前記第1絶縁膜上に第1導電膜を堆積し、前記溝を埋め込む第2導電膜を形成する工程、

(c)前記溝以外の前記第1絶縁膜上の前記第2導電膜および第1導電膜を研磨により除去し、前記溝内に配線を形成する工程、

(d)前記第1絶縁膜および配線の表面にパラズマを用いて還元処理および窒化処理を施す工程、

(e)前記第1絶縁膜および配線上に第2絶縁膜を堆積する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項23】 請求項22記載の半導体集積回路装置の製造方法であって、

前記パラズマは、アンモニア(NH_3)、またはアンモニアと希釈ガスとの混合ガスのパラズマであり、前記希釈ガスは、水素(H_2)、窒素(N_2)、アルゴン(Ar)、ヘリウム(He)から選択された単一または複数のガスであることを特徴とする半導体集積回路装置の製造方法。

造方法。

【請求項24】 半導体基板の上層に形成された第1絶縁膜と、前記第1絶縁膜よりさらに上層に形成された不純物の侵入を防止する保護膜と、を有する半導体集積回路装置の製造方法であって、

(a)前記保護膜に含まれるシリコン酸化膜の誘電率より低い誘電率を有する第1絶縁膜を形成する工程、

(b)前記第1絶縁膜に溝または孔を形成する工程、

(c)前記第1絶縁膜の露出面を還元性雰囲気のパラズマにより処理する工程、

(d)前記溝または孔の内壁を含む表面を覆う第1導電膜を堆積し、前記溝または孔を埋め込む第2導電膜を形成する工程、

(e)前記溝または孔以外の前記第2導電膜および第1導電膜を研磨により除去し、前記溝または孔内に導電部材を形成する工程、

を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項25】 請求項24記載の半導体集積回路装置の製造方法であって、

前記還元性雰囲気のパラズマは、アンモニア(NH_3)、水素(H_2)、または、これらのガスと窒素(N_2)、アルゴン(Ar)、ヘリウム(He)から選択された単一または複数のガスとの混合ガスのパラズマであることを特徴とする半導体集積回路装置の製造方法。

【請求項26】 請求項25記載の半導体集積回路装置の製造方法であって、

前記第1絶縁膜の上面に第2絶縁膜を形成し、前記

(b)工程において前記第1および第2絶縁膜に溝または孔を形成し、前記(c)工程において前記溝または孔の内壁に露出した前記第1絶縁膜の露出面を還元性雰囲気のパラズマにより処理することを特徴とする半導体集積回路装置の製造方法。

【請求項27】 半導体基板の上層に形成された第1絶縁膜と、前記第1絶縁膜の溝内に埋め込んで形成された配線と、前記第1絶縁膜および配線上に形成された第2絶縁膜とを有する半導体集積回路装置であって、

前記第1絶縁膜および配線と前記第2絶縁膜との界面には窒化膜が形成されていることを特徴とする半導体集積回路装置。

【請求項28】 請求項27記載の半導体集積回路装置であって、

前記第1絶縁膜はシリコン酸化膜であり、前記配線は銅であり、前記第2絶縁膜はシリコン窒化膜であることを特徴とする半導体集積回路装置。

【請求項29】 請求項28記載の半導体集積回路装置であって、

前記窒化膜は、その膜中の窒素濃度が、前記第1絶縁膜および配線側から前記第2絶縁膜側に進むに従って高く

なることを特徴とする半導体集積回路装置。

【請求項 30】 請求項 1 記載の半導体集積回路装置の製造方法であって、

前記 (d) 工程の終了後、前記半導体基板を大気雰囲気中に曝すことなく減圧または不活性状態を維持し、前記第 1 絶縁膜および配線の上に、前記 (e) 工程の前記第 2 絶縁膜を連続的に堆積することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置および半導体集積回路装置の製造方法に関し、特に、銅を主導電層とする配線を、絶縁膜への溝形成、溝を埋め込む銅膜の形成および CMP (Chemical Mechanical Polishing) 法を用いた研磨により形成する、いわゆるダマシン法に適用して有効な技術に関するものである。

【0002】

【従来の技術】近年の半導体集積回路装置における配線の微細化に伴い、配線抵抗の増大、配線遅延の増加、これらに起因する半導体集積回路装置の性能が低下が問題になっている。特に高性能なロジック LSI においては、その性能阻害要因として大きな問題を生じている。このため、たとえば 1993 VMIC (VLSI Multilevel Interconnection Conference) 予稿集、p15~p21 に記載されているように、絶縁膜に形成した配線溝に銅 (Cu) を主導電層とする配線用金属を埋め込んだ後、配線溝外部の余分な金属を化学機械研磨法 (CMP 法) を用いて除去することにより配線溝内に配線パターンを形成する方法が検討されている。

【0003】なお、特開平 9-306915 号公報には、半導体基板上のシリコン酸化膜に配線溝を形成後、スパッタ法を用いて窒化チタン膜および銅膜を堆積し、リフローにより溝内に銅を充填し、その後 CMP 法により溝以外の銅膜を除去し、さらに水素雰囲気中で熱処理を施す技術が記載されている。これにより銅配線中の欠陥を低減できるとしている。

【0004】また、特開平 10-56014 号公報には、半導体基板上に形成された窒化チタン膜およびタングステン膜を有する被研磨材料を CMP 法により研磨した後、その研磨された表面にハロゲン系混合ガスを用いたプラズマ処理を施す技術が記載されている。これにより、CMP 法に由来するマイクロクラッチが形成されても配線ショートを生じないとしている。

【0005】また、特開平 10-56014 号公報には、配線を形成したい下地上に感光性 SOG 膜を形成し、この SOG 膜に配線溝を形成し、窒化チタン膜、銅膜および銅チタン合金膜を形成し、CMP 法による研磨により配線溝内のみ前記被膜を残し、さらにアンモニア雰囲気中で加熱処理して銅チタン合金膜の表層部に窒化チタン膜を形成する技術が記載されている。

【0006】

【発明が解決しようとする課題】上記配線溝を形成した後これを埋め込む金属膜 (たとえば銅膜) を形成し、配線溝以外の銅膜を CMP 法により除去する配線形成法、いわゆるダマシン法による配線形成技術において、本発明者らは、以下に説明するような問題を認識した。

【0007】すなわち、高性能のロジック LSI への適用を考慮した場合、配線抵抗の低減は重要な技術検討課題の一つである。そこで、発明者らは、配線を構成する金属として銅を検討している。銅は、その物性として他の金属 (たとえばアルミニウム、タングステン) と比較して絶縁膜であるシリコン酸化膜中を拡散しやすいという性質を有する。よって、配線を覆うバリア膜の検討が重要である。配線溝内のバリア膜としては窒化チタン膜が検討されている。一方、配線上部を覆う被膜 (キャップ膜) としてシリコン窒化膜が検討されている。これら配線溝に沿う窒化チタン膜と配線の上部をキャップするシリコン窒化膜とで銅を覆い、層間絶縁膜 (シリコン酸化膜) への銅の拡散をブロックし、配線の信頼性を高めることが検討されている。

【0008】ところが、銅を配線材料に用いた場合、TDDB (Time Dependence on Dielectric Breakdown) 寿命が、他の金属材料 (たとえばアルミニウム、タングステン) の場合と比較して著しく短いという問題が存在する。なお、TDDB 試験とは、配線間の絶縁破壊強度を評価する加速試験方法の一種であり、通常使用環境より高い所定の温度での高電界下における絶縁破壊時間から、通常使用状態における絶縁破壊時間 (寿命) を推定する試験方法である。TDDB 寿命はこの TDDB 試験から推定される寿命である。TDDB 寿命については後に詳述する。

【0009】図 55 は、銅配線、アルミニウム配線、タングステン配線の TDDB 特性を測定したデータを示すグラフである。縦軸に TDDB 寿命を横軸に電界強度を割り当てている。アルミニウム配線の特性 (データ A) およびタングステン配線の特性 (データ B) を外挿すると、電界強度が 0.2 MV/cm (通常使用状態) における TDDB 寿命は、本発明者らの開発目標である $3 \times 10^8 \text{ sec}$ (10 年) を優に越える。一方、銅配線の特性 (データ C) を外挿すると、10 年の開発目標に対してほとんどマージンのない状態であることがわかる。アルミニウム配線は被膜の堆積とフォトリソグラフィを用いたパターンニングにより形成しているが、タングステン配線は銅配線と同様にダマシン法を用いて形成している。すなわち、銅配線とタングステン配線の相違は材料のみであり、構造上の相違はない。それにもかかわらず TDDB 特性の顕著な相違があることは、配線材料の相違に起因することが示唆される。なお、ここでの TDDB 特性は 140°C の温度下で行ったデータを示している。

【0010】このようなTDDDB寿命の劣化原因は、配線材料に適用された銅が周辺に拡散し、これが配線間の絶縁耐圧を低下させることによると一般には考えられるが、本発明者らの検討によれば、その銅は原子状の銅よりも、酸化銅あるいは銅シリサイドから供給されるイオン化銅が配線間の電位でドリフトし拡散する要因が支配的であると考えられる。また、銅の拡散経路は銅配線が形成された絶縁膜とキャップ膜との界面が支配的であると考えられる。すなわち、銅配線の表面に酸化銅あるいは銅シリサイドが形成され、これら銅の化合物から銅イオンが形成され、イオン化された銅が配線形成用絶縁膜とキャップ膜との界面に沿って配線間電界によりドリフトして拡散し、この拡散した銅原子がリーク電流を増加させる原因になると考えられる。そしてリーク電流の増加は熱ストレスを増加させ、最終的にリークパスで絶縁破壊が生じてTDDDB寿命に至ると考えられる。なお、この点のメカニズムは後に詳述する。

【0011】また、本発明者らの検討では、配線層を多層に形成した場合、上層配線の形成工程であるCMP工程において、下層配線とその上層に形成された絶縁膜（キャップ膜）との間に剥離が生ずる問題もある。

【0012】さらに、銅配線上のキャップ膜としてシリコン窒化膜を用いると、銅とシリコン窒化膜との界面にシリサイド物が形成され、銅配線の抵抗が増加するという問題もある。

【0013】本発明の目的は、ダマシン法を用いて形成された銅配線の絶縁破壊耐性（信頼性）を向上することにある。

【0014】また、本発明の目的は、配線層とキャップ膜との剥離の発生を抑制することにある。

【0015】さらに、本発明の目的は、キャップ膜にシリコン窒化膜を用いた場合の銅配線の抵抗値の増加を防止することにある。

【0016】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0017】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0018】すなわち、本発明は、CMP工程の後、配線上にキャップ膜（たとえばシリコン窒化膜）を形成する前に、配線およびそれが埋め込まれた層間絶縁膜（たとえばシリコン酸化膜）の表面を還元性プラズマで処理するものである。

【0019】これにより、配線および層間絶縁膜とキャップ絶縁膜との間の界面を連続的に形成でき、界面における密着性を改善してTDDDB寿命を著しく向上することができる。

【0020】以下、本発明の概要を列記して説明する。

【0021】本発明の製造方法は、半導体基板の上層に第1絶縁膜（たとえばシリコン酸化膜）を形成し、第1絶縁膜に溝（配線溝）を形成する。その後第1導電膜（銅の拡散を防止するブロッキング膜、たとえば窒化チタン膜）、溝を埋め込む第2導電膜（銅膜）を順次形成し、第2導電膜および第1導電膜を研磨して溝内に配線を形成する。その後、第1絶縁膜および配線の表面を還元性雰囲気（プラズマ）により処理する。さらに、第1絶縁膜および配線上に第2絶縁膜（キャップ絶縁膜、たとえばシリコン窒化膜）を堆積する。

【0022】ここで、還元性雰囲気（プラズマ）は、アンモニア（ NH_3 ）プラズマあるいは水素（ H_2 ）プラズマとすることができる。また、アンモニア（ NH_3 ）と希釈ガス（水素（ H_2 ）、窒素（ N_2 ）、アルゴン（Ar）、ヘリウム（He）から選択された単一または複数のガス）との混合ガスプラズマ、あるいは、水素（ H_2 ）と希釈ガス（アンモニア（ NH_3 ）、窒素（ N_2 ）、アルゴン（Ar）、ヘリウム（He）から選択された単一または複数のガス）との混合ガスプラズマとすることができる。なお、混合ガスに対するアンモニアあるいは水素の濃度は5%以上である。

【0023】また、第1絶縁膜はシリコン酸化膜とし、第2導電膜は銅、第2絶縁膜はシリコン窒化膜とすることができる。なお、言うまでもないことであるが、銅は配線としての特性を損なわない範囲で合金要素や添加物、不純物を含むことを許容する。実施の形態で用いる高純度の銅は一般に4Nすなわち99.99%以上のものが用いられる。

【0024】また、研磨工程の後、プラズマ処理前に第1絶縁膜および配線の表面を酸洗浄することができる。酸洗浄には、フッ化水素（HF）またはクエン酸（ $\text{C}(\text{CH}_2\text{COOH})_2(\text{OH})(\text{COOH})$ ）の水溶液を用いることができる。

【0025】また、研磨工程には、砥粒フリーの化学機械研磨法を用いることができる。研磨は、砥粒フリー化学機械研磨を行う第1研磨、有砥粒化学機械研磨を行う第2研磨、および、第2導電膜に対して第1導電膜の選択比が5以上である化学機械研磨を行う第3研磨の3段階の化学機械研磨で行うことができる。

【0026】本発明の製造方法は、半導体基板の上層に第1絶縁膜を形成し、第1絶縁膜に溝を形成し、第1導電膜、溝を埋め込む第2導電膜を形成し、第2導電膜および第1導電膜を研磨して溝内に配線を形成し、第1絶縁膜および配線の表面にプラズマを用いて還元処理および窒化処理をし、第1絶縁膜および配線上に第2絶縁膜を堆積するものである。

【0027】この場合のプラズマは、アンモニア（ NH_3 ）またはアンモニアおよび水素（ H_2 ）と、窒素（ N_2 ）、アルゴン（Ar）、ヘリウム（He）から選択された単一または複数のガスとの混合ガスのプラズマであ

る。

【0028】また、本発明の製造方法は、保護膜（パッシベーション膜）に含まれるシリコン酸化膜よりも誘電率の低い第1絶縁膜を形成し、第1絶縁膜に溝または孔を形成し、第1絶縁膜の露出面を還元性雰囲気のパラズマにより処理し、溝または孔の内壁を含む表面を覆う第1導電膜を堆積し、溝または孔を埋め込む第2導電膜を形成し、溝または孔以外の第2導電膜および第1導電膜を研磨により除去し、溝または孔内に導電部材を形成するものである。この場合の還元性雰囲気のパラズマも前記同様である。なお、第1絶縁膜上に第2絶縁膜を形成しても良い。

【0029】本発明の半導体集積回路装置は、第1絶縁膜と、第1絶縁膜の溝内に埋め込んで形成された配線と、第1絶縁膜および配線上に形成された第2絶縁膜とを有し、第1絶縁膜および配線と第2絶縁膜との界面には窒化膜が形成されているものである。この場合、第1絶縁膜はシリコン酸化膜であり、配線は銅であり、第2絶縁膜はシリコン窒化膜である。また、窒化膜は、その膜中の窒素濃度が、第1絶縁膜および配線側から第2絶縁膜側に進むに従って高くなるものである。

【0030】さらに、本発明の製造方法は、半導体基板の上層に第1絶縁膜を形成し、第1絶縁膜に溝を形成し、第1絶縁膜上に第1導電膜を堆積し、溝を埋め込む第2導電膜を形成し、第2導電膜および第1導電膜を研磨して溝内に配線を形成し、第1絶縁膜および配線の表面を還元性雰囲気のパラズマにより処理し、さらに、半導体基板を大気雰囲気に曝すことなく減圧または不活性状態を維持し、連続的に第1絶縁膜および配線上に第2絶縁膜を堆積するものである。

【0031】以下、本願において、使用する用語の一般的な意味について説明する。

【0032】TDDB寿命とは、所定の温度（たとえば140℃）の測定条件下で電極間に比較的高い電圧を加え、電圧印加から絶縁破壊までの時間を印加電界に対してプロットしたグラフを作成し、このグラフから実際の使用電界強度（たとえば0.2MV/cm）に外挿して求めた時間（寿命）をいう。図56は、本願のTDDB寿命測定に使用した試料を示し、(a)は平面図、

(b)および(c)は(a)におけるB-B'線断面およびC-C'線断面を各々示す。この試料は実際にはウェハのTEG (Test Equipment Group) 領域に形成できる。図示するように一対の楕形配線Lを第2配線層M2に形成し、最上層のパッドP1、P2に各々接続する。この楕形配線L間に電界が印加され電流が測定される。パッドP1、P2は測定端子である。楕形配線Lの配線幅、配線間隔、配線厚さは何れも0.5μmである。また配線対向長は1.58×10⁵μmとした。図57は、測定の概要を示した概念図である。試料は測定ステージSに保持され、パッドP1、P2間に電流電圧測定

器（I/V測定器）を接続する。試料ステージSはヒータHで加熱され試料温度が140℃に調整される。図58は電流電圧測定結果の一例である。試料温度140℃、電界強度5MV/cmの場合を例示した。TDDB寿命測定には定電圧ストレス法と低電流ストレス法とがあるが、本願では絶縁膜に印加される平均電界が一定となる定電圧ストレス法を用いている。電圧印加の後、時間の経過とともに電流密度は減少し、その後急激な電流増加（絶縁破壊）が観測される。ここでは、リーク電流密度が1μA/cm²に達した時間をTDDB寿命（5MV/cmにおけるTDDB寿命）とした。なお、本願において、TDDB寿命とは、特に言及しない限り0.2MV/cmにおける破壊時間（寿命）をいうが、広義には所定の電界強度に言及したうえで破壊までの時間としてTDDB寿命の語を用いる場合もある。また、特に言及しない限り、TDDB寿命は、試料温度140℃の場合をいう。なお、TDDB寿命は前記の楕形配線Lで測定した場合をいうが、実際の配線間の破壊寿命を反映することはいうまでもない。

【0033】パラズマ処理とは、パラズマ状態にある環境に基板表面、あるいは、基板上に絶縁膜、金属膜等の部材が形成されている時にはその部材表面を暴露し、パラズマの化学的、機械的（ボンバードメント）作用を表面に与えて処理することをいう。一般にパラズマは特定のガス（処理ガス）に置換した反応室内に必要に応じて処理ガスを補充しつつ、高周波電界等の作用によりガスを電離させて生成するが、現実には完全に処理ガスで置換することはできない。よって、本願では、たとえばアンモニアパラズマと称しても、完全なアンモニアパラズマを意図するものではなく、そのパラズマ内に含まれる不純物ガス（窒素、酸素、二酸化炭素、水蒸気等）の存在を排除するものではない。同様に、言うまでもないことであるが、パラズマ中に他の希釈ガスや添加ガスを含むことを排除するものではない。

【0034】還元性雰囲気のパラズマとは、還元作用すなわち酸素を引き抜く作用を有するラジカル、イオン、原子、分子等の反応種が支配的に存在するパラズマ環境をいい、ラジカル、イオンには原子あるいは分子状のラジカルあるいはイオンが含まれる。また、環境内には単一の反応種のみならず、複数種の反応種が含まれていても良い。たとえば水素ラジカルとNH₂ラジカルとが同時に存在する環境でもよい。

【0035】本願でたとえば銅からなると表現した場合、主成分として銅が用いられていることを意図する。すなわち、一般に高純度な銅であっても不純物が含まれることは当然であり、添加物や不純物も銅からなる部材に含まれることを排除するものではない。本願において高純度の銅からなると表現した場合には、一般的な高純度材料（たとえば4N（99.99%））程度の銅で構成されることを意図し、0.01%程度の任意の不純物

が含まれることを前提にする。これは銅に限らず、その他の金属（窒化チタン等）でも同様である。

【0036】本願でガスの濃度という場合には、質量流量における流量比を言うものとする。すなわち、ガスAとガスBとの混合ガスにおいて、ガスAの濃度が5%という時には、ガスAの質量流量を F_a 、ガスBの質量流量を F_b として、 $F_a / (F_a + F_b) = 0.05$ のことをいう。

【0037】研磨液（スラリー）とは、一般に化学エッチング薬剤に研磨砥粒を混合した懸濁液をいい、本願においては発明の性質上、研磨砥粒が混合されていないものを含むものとする。

【0038】砥粒（スラリー粒子）とは、一般にスラリーに含まれるアルミナ、シリカなどの粉末をいう。

【0039】化学機械研磨（CMP）とは、一般に被研磨面を相対的に軟らかい布様のシート材料などからなる研磨パッドに接触させた状態で、スラリーを供給しながら面方向に相対移動させて研磨を行うことをいい、本願においてはその他、被研磨面を硬質の砥石面に対して相対移動させることによって研磨を行うCML（Chemical Mechanical Lapping）なども含むものとする。

【0040】砥粒フリー化学機械研磨とは、一般に砥粒の重量濃度が0.5%未満のスラリーを用いた化学機械研磨をいい、有砥粒化学機械研磨とは、砥粒の重量濃度が0.5%以上のスラリーを用いた化学機械研磨をいう。しかし、これらは相対的なものであり、第1ステップの研磨が砥粒フリー化学機械研磨で、それに続く第2ステップの研磨が有砥粒化学機械研磨である場合、第1ステップの研磨濃度が第2ステップの研磨濃度よりも1桁以上、望ましくは2桁以上小さい場合などには、この第1ステップの研磨を砥粒フリー化学機械研磨という場合もある。

【0041】防食剤とは、金属の表面に耐食性のおよび／または疎水性の保護膜を形成することによって、CMPによる研磨の進行を阻止または抑制する薬剤をいい、一般にベンゾトリアゾール（BTA）などが使用される（詳しくは特開平8-64594号公報参照）。

【0042】導電性バリア層とは、一般に埋め込み配線材料を構成する原子やイオンが輸送（拡散などを含む）されて下層の素子などに悪影響を及ぼすのを防ぐためのもので、電気伝導性が絶縁膜に比べて比較的高いTiなどの金属、TiNなどの金属窒化物、導電性酸化物、導電性窒化物その他の拡散阻止性を有する導電材料からなる層をいう。

【0043】選択的除去、選択的研磨、選択的エッチング、選択的化学機械研磨というときは、いずれも選択比が5以上のものをいう。

【0044】埋め込み配線とは、一般にシングルダマシン(single damascene)やデュアルダマシン(dual damascene)などのように、絶縁膜に形成された溝などの内部に

導電膜を埋め込んだ後、絶縁膜上の不要な導電膜を除去する配線形成技術によって形成された配線をいう。

【0045】選択比について、「AのBに対する」（または「Bに対するAの」）選択比がXというときは、研磨レートを例にとった場合、Bに対する研磨レートを基準にしてAに対する研磨レートを計算したときにXになることをいう。

【0046】以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0047】また、以下の実施の形態では、便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらは互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明などの関係にある。

【0048】さらに、以下の実施の形態において、要素の数等（個数、数値、量、範囲などを含む）に言及する場合、特に明示したときおよび原理的に明らかに特定の数に限定されるときを除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。さらに、以下の実施の形態において、その構成要素（要素ステップ等を含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合を除き、必ずしも必須のものではないことはいうまでもない。

【0049】同様に、以下の実施の形態において、構成要素などの形状、位置関係などに言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合を除き、実質的にその形状などに近似または類似するものなどを含むものとする。このことは、上記数値および範囲についても同様である。

【0050】また、本願において半導体集積回路装置というときは、特に単結晶シリコン基板上に作られるものだけでなく、特にそうでない旨が明示された場合を除き、SOI（Silicon On Insulator）基板やTFT（Thin Film Transistor）液晶製造用基板などといった他の基板上に作られるものを含むものとする。また、ウエハとは半導体集積回路装置の製造に用いる単結晶シリコン基板（一般にほぼ円盤形）、SOS基板、ガラス基板その他の絶縁、半絶縁または半導体基板などやそれらを複合した基板をいう。

【0051】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

【0052】（実施の形態1）本発明の実施の形態1であるCMOS-LSIの製造方法を図1～図19を用いて工程順に説明する。

【0053】まず、図1に示すように、例えば1～10Ωcm程度の比抵抗を有するp型の単結晶シリコンからな

る半導体基板（以下、基板という）1に深さ350nm程度の素子分離溝2をフォトリソグラフィとドライエッチングを用いて形成した後、溝の内部を含む基板1上にCVD法でシリコン酸化膜3を堆積する。続いて溝の上部のシリコン酸化膜3を化学機械研磨（CMP）によってその表面を平坦化する。その後、基板1にp型不純物

（ホウ素）およびn型不純物（例えばリン）をイオン打ち込みすることによって、p型ウエル4およびn型ウエル5を形成した後、基板1をスチーム酸化することによって、p型ウエル4およびn型ウエル5の表面に膜厚6nm程度のゲート酸化膜6を形成する。

【0054】次に、図2に示すように、ゲート酸化膜6の上部に、低抵抗多結晶シリコン膜、WN（窒化タングステン）膜およびW（タングステン）膜からなるゲート電極7を形成する。多結晶シリコン膜はCVD法により、WN膜およびW膜はスパッタ法により形成できる。ゲート電極7は、これら堆積膜のパターニングにより形成する。ゲート電極7は、低抵抗多結晶シリコン膜とWシリサイド膜との積層膜などを使って形成してもよい。その後、イオン打ち込みすることによって、p型ウエル4に低不純物濃度のn⁻型半導体領域11を、n型ウエル5に低不純物濃度のp⁻型半導体領域12を形成する。

【0055】次に、図3に示すように、たとえばシリコン窒化膜をCVD法で堆積し、これを異方的にエッチングすることによって、ゲート電極7の側壁にサイドウォールスペーサ13を形成する。この後、イオン打ち込みすることによって、p型ウエル4に高不純物濃度のn⁺型半導体領域14（ソース、ドレイン）を形成し、n型ウエル5に高不純物濃度のp⁺型半導体領域15（ソース、ドレイン）を形成する。なお、n型不純物にはリンまたはヒ素を、p型不純物にはボロンを例示できる。その後、チタン、コバルト等の金属膜を堆積し、熱処理の後に未反応の金属膜を除去するいわゆるサリサイド法を用いて、n⁺型半導体領域14（ソース、ドレイン）の表面およびp⁺型半導体領域15（ソース、ドレイン）の表面にシリサイド層9を形成する。ここまでの工程で、nチャネル型MISFETQ_nおよびpチャネル型MISFETQ_pが完成する。

【0056】次に、図4に示すように、基板1上にCVD法でシリコン酸化膜18を堆積し、続いてフォトリソ膜をマスクにしてシリコン酸化膜18をドライエッチングすることにより、n⁺型半導体領域14（ソース、ドレイン）の上部にコンタクトホール20を形成し、p⁺型半導体領域15（ソース、ドレイン）の上部にコンタクトホール21を形成する。またこのとき、ゲート電極7の上部にもコンタクトホール22を形成する。

【0057】シリコン酸化膜18は、ゲート電極7、7の狭いスペースを埋め込むことのできるリフロー性の高

い膜、例えばBPSG（Boron-doped Phospho Silicate Glass）膜で構成する。また、スピン塗布法によって形成されるSOG（Spin On Glass）膜で構成してもよい。

【0058】次に、コンタクトホール20、21、22の内部にプラグ23を形成する。プラグ23を形成するには、例えばコンタクトホール20、21、22の内部を含むシリコン酸化膜18の上部にCVD法でTiN膜およびW膜を堆積した後、シリコン酸化膜18の上部の不要なTiN膜およびW膜を化学機械研磨（CMP）法またはエッチバック法によって除去し、コンタクトホール20、21、22の内部のみにこれらの膜を残す。

【0059】次に、図5に示すように、シリコン酸化膜18の上部に第1層目の配線となるW配線24～30を形成する。W配線24～30を形成するには、例えばシリコン酸化膜18の上部にスパッタリング法でW膜を堆積した後、フォトリソ膜をマスクにしてこのW膜をドライエッチングする。第1層目のW配線24～30は、コンタクトホール20、21、22を通じてnチャネル型MISFETQ_nのソース、ドレイン（n⁺型半導体領域）、pチャネル型MISFETQ_pのソース、ドレイン（p⁺型半導体領域）あるいはゲート電極7と電気的に接続される。

【0060】次に、図6（a）、（b）に示すように、第1層目のW配線24～30の上部にシリコン酸化膜31を堆積し、続いてフォトリソ膜をマスクにしたドライエッチングでシリコン酸化膜31にスルーホール32～36を形成した後、スルーホール32～36の内部にプラグ37を形成する。

【0061】シリコン酸化膜31は、例えばオゾン（または酸素）とテトラエトキシシラン（TEOS）とをソースガスに用いたプラズマCVD法で堆積する。また、プラグ37は、例えばW膜で構成し、前記コンタクトホール20、21、22の内部にプラグ23を形成した方法と同じ方法で形成する。

【0062】次に、図7（a）、（b）に示すように、シリコン酸化膜31の上部にプラズマCVD法で膜厚50nm程度の薄いシリコン窒化膜38を堆積し、続いてシリコン窒化膜38の上部にプラズマCVD法で膜厚450nm程度のシリコン酸化膜39を堆積する。その後、フォトリソ膜をマスクにしたドライエッチングでスルーホール32～36の上部のシリコン酸化膜39およびシリコン窒化膜38を除去し、配線溝40～44を形成する。

【0063】配線溝40～44を形成するには、まずシリコン窒化膜38をエッチングストップにしてシリコン酸化膜39を選択的にエッチングし、その後、シリコン窒化膜38をエッチングする。このように、配線溝40～44が形成されるシリコン酸化膜39の下層に薄いシリコン窒化膜38を形成しておき、このシリコン窒化膜38の表面でエッチングを一旦停止した後、シリコン窒

化膜38をエッチングすることにより、配線溝40~44の深さを精度良く制御することができる。

【0064】次に、上記配線溝40~44の内部に以下のような方法で第2層目の配線となる埋め込みCu配線を形成する。

【0065】まず、図8に示すように、配線溝40~44の内部を含むシリコン酸化膜39の上部にスパッタリング法で膜厚50nm程度の薄いTiN（窒化チタン）膜45を堆積した後、TiN膜45の上部に配線溝40~44の深さよりも十分に厚い膜厚（例えば800nm程度）のCu膜46をスパッタリング法で堆積する。続いて、475℃程度の非酸化性雰囲気（例えば水素雰囲気）中で基板1を熱処理することによってCu膜46をリフローさせ、配線溝40~44の内部に隙間なくCu膜46を埋め込む。

【0066】なお、ここでは、スパッタ法によるCu膜46とその後のリフローによる埋め込みを説明したが、薄いCu膜をスパッタ法により形成し、その後メッキ法でCu膜46に相当するCu膜を形成しても良い。

【0067】Cuはシリコン酸化膜中に拡散し易いという性質があるために、配線溝40~44の内部にCu配線を形成した場合、シリコン酸化膜39中にCuが拡散し、配線間の短絡や、シリコン酸化膜39の誘電率上昇による配線間寄生容量の増加を引き起こす。また、Cuは酸化シリコンなどの絶縁材料に対する密着性が乏しいという性質があるために、シリコン酸化膜39との界面で剥離を引き起こし易い。

【0068】従って、配線溝40~44の内部にCu配線を形成する場合は、シリコン酸化膜39とCu膜46との間にCuの拡散を抑制し、かつ絶縁材料に対する密着性が高いバリア層を設ける必要がある。さらに、上記のようなリフロー・スパッタリング法で配線溝40~44の内部にCu膜46を埋め込む場合には、リフロー時にCu膜46の濡れ性を向上させる性質もバリア層に要求される。

【0069】Cuと殆ど反応しない上記TiNや、WN、Ta₂N（窒化タンタル）などの高融点金属窒化物は、このようなバリア層として好適な材料である。また、高融点金属窒化物にSi（シリコン）を添加した材料や、Cuと反応し難いTa、Ti、W、TiW合金などの高融点金属もバリア層として用いることができる。

【0070】また、以下で説明するCu配線の形成方法は、高純度のCu膜を使ってCu配線を形成する場合のみならず、Cuを主成分とする合金膜を使ってCu配線を形成する場合にも適用することができる。

【0071】図9は、上記Cu膜46の研磨に用いる枚葉式のCMP装置100を示す概略図である。このCMP装置100は、表面にCu膜46が形成された基板1を複数枚収容するローダ120、Cu膜46を研磨、平坦化する研磨処理部130、研磨が終了した基板1の表

面に防蝕処理を施す防蝕処理部140、防蝕処理が終了した基板1を後洗浄するまでの間、その表面が乾燥しないように維持しておく浸漬処理部150、防蝕処理が終了した基板1を後洗浄する後洗浄処理部160および後洗浄が終了した基板1を複数枚収容するアンローダ170を備えている。

【0072】図10に示すように、CMP装置100の研磨処理部130は、上部が開口された筐体101を有しており、この筐体101に取り付けられた回転軸102の上端部には、モータ103によって回転駆動される研磨盤（プラテン）104が取り付けられている。この研磨盤104の表面には、多数の気孔を有する合成樹脂を均一に貼り付けて形成した研磨パッド105が取り付けられている。

【0073】また、この研磨処理部130は、基板1を保持するためのウエハキャリア106を備えている。ウエハキャリア106を取り付けた駆動軸107は、ウエハキャリア106と一体となってモータ（図示せず）により回転駆動され、かつ研磨盤104の上方で上下動されるようになっている。

【0074】基板1は、ウエハキャリア106に設けられた真空吸着機構（図示せず）により、その主面すなわち被研磨面を下向きとしてウエハキャリア106に保持される。ウエハキャリア106の下端部には、基板1が収容される凹部106aが形成されており、この凹部106a内に基板1を収容すると、その被研磨面がウエハキャリア106の下端面とほぼ同一か僅かに突出した状態となる。

【0075】研磨盤104の上方には、研磨パッド105の表面と基板1の被研磨面との間に研磨スラリ（S）を供給するためのスラリ供給管108が設けられており、その下端から供給される研磨スラリ（S）によって基板1の被研磨面が化学的および機械的に研磨される。研磨スラリ（S）としては、例えばアルミナなどの砥粒と過酸化水素水または硝酸第二鉄水溶液などの酸化剤とを主成分とし、これらを水に分散または溶解させたものが使用される。

【0076】また、この研磨処理部130は、研磨パッド105の表面を整形（ドレッシング）するための工具であるドレッサ109を備えている。このドレッサ109は、研磨盤104の上方で上下動する駆動軸110の下端部に取り付けられ、モータ（図示せず）により回転駆動されるようになっている。

【0077】研磨が終了した基板1は、防蝕処理部140において、その表面に防蝕処理が施される。防蝕処理部140は、上記した研磨処理部130の構成と類似した構成になっており、ここでは、まず研磨盤（プラテン）の表面に取り付けた研磨パッドに基板1の主面が押し付けられて研磨スラリが機械的に除去された後、例えばベンゾトリアゾール（BTA）などの防蝕剤を含んだ

薬液が基板 1 の主面に供給されることによって、基板 1 の主面に形成された Cu 配線の表面部分に疎水性保護膜が形成される。

【0078】研磨スラリの機械的洗浄（前洗浄）は、例えば図 11 に示すように、水平面内で回転させた基板 1 の両面を PVA（ポリビニルアルコール）のような合成樹脂の多孔質体からなる円筒状のブラシ 121A、121B で挟み、ブラシ 121A、121B を基板 1 の面に対して垂直な面内で回転しながら基板 1 の両面を同時に洗浄する。また、前洗浄後の防蝕処理に際しては、必要に応じて純水スクラブ洗浄、純水超音波洗浄、純水流水洗浄または純水スピン洗浄などを防蝕処理に先行または並行して行うことにより、研磨処理部 130 で基板 1 の主面に付着した研磨スラリー中の酸化剤を十分に除去し、酸化剤が実質的に作用しない条件下で疎水性の保護膜を形成するようにする。

【0079】防蝕処理が終了した基板 1 は、その表面の乾燥を防ぐために、浸漬処理部 150 に一時的に保管される。浸漬処理部 150 は、防蝕処理が終了した基板 1 を後洗浄するまでの間、その表面が乾燥しないように維持するためのもので、例えば純水をオーバーフローさせた浸漬槽（ストック）の中に所定枚数の基板 1 を浸漬させて保管する構造になっている。このとき、Cu 配線 28～30 の電気化学的腐蝕反応が実質的に進行しない程度の低温に冷却した純水を浸漬槽に供給することにより、Cu 配線 28～30 の腐蝕をより一層確実に防止することができる。

【0080】基板 1 の乾燥防止は、例えば純水シャワーの供給など、少なくとも基板 1 の表面を湿润状態に保持することのできる方法であれば、上記した浸漬槽中での保管以外の方法で行ってもよい。

【0081】後洗浄処理部 160 へ搬送された基板 1 は、その表面の湿润状態が保たれた状態で直ちに後洗浄に付される。ここでは、酸化剤を中和するために NH_4OH を含む洗浄液などの弱アルカリ薬液を供給しながら、基板 1 の表面をスクラブ洗浄（またはブラシ洗浄）した後、フッ酸水溶液を基板 1 の表面に供給してエッチングによる異物粒子（パーティクル）の除去を行う。また、上記のスクラブ洗浄に先行または並行して、基板 1 の表面を純水スクラブ洗浄、純水超音波洗浄、純水流水洗浄または純水スピン洗浄したり、基板 1 の裏面を純水スクラブ洗浄したりしてもよい。

【0082】上記後洗浄処理が終了した基板 1 は、純水リンスおよびスピンドライの後、乾燥した状態でアンローダ 170 に收容され、複数枚単位で一括して次工程へ搬送される。

【0083】なお、図 12 に示すように、防蝕処理が終了した基板 1 の表面乾燥を防ぐための浸漬処理部（ウェハ保管部）150 を遮光構造にし、保管中の基板 1 の表面に照明光などが照射されないようにすることができ

る。これにより、光起電力効果による短絡電流の発生を防ぐようにできる。浸漬処理部 150 を遮光構造にするには、具体的には浸漬槽（ストック）の周囲を遮光シートなどで被覆することによって、浸漬槽（ストック）の内部の照度を少なくとも 500ルクス以下、好ましくは 300ルクス以下、さらに好ましくは 100ルクス以下にする。

【0084】また、図 13 に示すように、研磨処理の直後、すなわちその表面に残った研磨スラリー中の酸化剤による電気化学的腐蝕反応が開始される前に直ちに乾燥処理部に搬送され、研磨スラリー中の水分が強制乾燥によって除去されてもよい。図 13 に示す CMP 装置 200 は、表面に Cu 膜が形成された基板 1 を複数枚收容するロード 220、Cu 膜を研磨、平坦化して配線を形成する研磨処理部 230、研磨が終了した基板 1 の表面を乾燥させる乾燥処理部 240、基板 1 を後洗浄する後洗浄処理部 250 および後洗浄が終了した基板 1 を複数枚收容するアンローダ 260 を備えている。この CMP 装置 200 を使った Cu 配線形成プロセスでは、研磨処理部 230 において研磨処理に付された基板 1 は、研磨処理の直後、すなわちその表面に残った研磨スラリー中の酸化剤による電気化学的腐蝕反応が開始される前に直ちに乾燥処理部 240 に搬送され、研磨スラリー中の水分が強制乾燥によって除去される。その後、基板 1 は、乾燥状態が維持されたまま後洗浄処理部 250 に搬送され、後洗浄処理に付された後、純水リンスおよびスピンドライを経てアンローダ 260 に收容される。この場合、研磨処理の直後から後洗浄が開始されるまでの間、基板 1 の表面が乾燥状態に保たれるために、電気化学的腐蝕反応の開始が抑制され、これにより、Cu 配線の腐蝕を有効に防止することが可能となる。

【0085】このような CMP 法により、シリコン酸化膜 39 上の Cu 膜 46 および TiN 膜 45 を除去し、図 14 に示すように、配線溝 40～44 内に Cu 配線 46a～46e を形成する。

【0086】次に、Cu 配線 46a～46e とシリコン酸化膜 39 の表面にプラズマ処理を施す。図 15 は、プラズマ処理に用いる処理装置の概要を示した断面図（a）および平面図（b）である。

【0087】この処理装置には、ロードロック室 301 に 2 つの処理室 302a、302b とカセットインタフェイス 303 が取り付けられている。ロードロック室 301 内には基板 1 を搬送するロボット 304 を有する。ロードロック室 301 と処理室 302a、302b との間には、処理中にもロードロック室 301 内の高真空状態が保てるようにゲートバルブ 305 を有する。

【0088】処理室 302a、302b 内には基板 1 を保持するサセプタ 306、ガス流を整えるバッフル板 307、サセプタ 306 を支持する支持部材 308、サセプタ 306 に対向して配置されるメッシュ状の電極 30

9、バッフル板307にほぼ対向して配置された絶縁板310を有する。絶縁板310はサセプタ306と電極309の間以外の不必要な領域での寄生放電を抑制する作用がある。サセプタ306の裏面側には反射ユニット311内に設置されたランプ312が配置され、ランプ312を発した赤外線313が石英窓314を通過してサセプタ306および基板1に照射される。これにより基板1が加熱される。なお、基板1はサセプタ306上にフェイスアップで設置される。

【0089】処理室302a、302bはその内部を高真空に排気することが可能であり、処理ガスおよび高周波電力がガスポート315から供給される。処理ガスはメッシュ状の電極309を通過して基板1の近傍に供給される。処理ガスは真空マニホールド316から排出され、処理ガスの供給流量および排気速度を制御することにより圧力が制御される。高周波電力は電極309に印加され、サセプタ306と電極309との間でプラズマを生成する。高周波電力はたとえば13.56MHzの周波数を用いる。

【0090】処理室302aでは、たとえば次に説明するアンモニアプラズマ処理が行われる。また、処理室302bでは、後に説明するキャップ膜（シリコン窒化膜）の堆積が行われる。処理室302aと処理室302bとはロードロック室301を介して接続されているため、アンモニアプラズマ処理の後に真空破壊することなく基板1を処理室302bに搬送することができ、アンモニアプラズマ処理とキャップ膜の形成を連続的に行うことができる。

【0091】次に、上記したプラズマ処理装置を用いて、基板1にアンモニアプラズマ処理を施す。カセットインタフェイス303から基板1がロボット304によりロードロック室301に搬入される。ロードロック室301を十分な減圧状態になるまで真空排気し、ロボット304を用いて処理室302aに基板1を搬送する。処理室302aのゲートバルブ305を閉じ、処理室302a内が十分な真空度になるまで排気した後、処理室302aにアンモニアガスを導入し、圧力調整を行って所定の圧力に維持する。その後、高周波電源から電極309に電界を印加し、図16に示すように、基板1の表面をプラズマ処理する。所定時間の経過後高周波電界を停止し、プラズマを停止する。その後、処理室302a内を真空排気し、ゲートバルブ305を開いてロボット304により基板1をロードロック室301に搬出する。なお、ロードロック室301は高真空状態に維持されているため、基板1の表面が大気雰囲気中に曝されることがない。

【0092】プラズマ処理条件は、たとえば、基板1のサイズを8インチとした場合、処理圧力を5.0 Torr、RF電力を600W、基板温度を400℃、アンモニア流量を200 sccm、処理時間を10秒とするこ

とができる。電極間距離は600 milsとした。なお、プラズマ処理条件は、これら例示した条件に限られないのはもちろんである。本発明者らの検討では、圧力が高いほどプラズマダメージが低減でき、基板温度が高いほどTDD寿命の基板内ばらつきの低減と長寿命化がはかれる。また、基板温度が高く、RF電力が大きく、処理時間が長いほどCuの表面にヒロックが発生しやすい、という知見が得られている。これらの知見と装置構成による条件のばらつきを考慮すると、処理圧力は0.5～6 Torr、RF電力は300～600W、基板温度は350～450℃、アンモニア流量は20～500 sccm、処理時間は5～180秒、電極間距離は300～600 milsの範囲で設定することができる。

【0093】このように、Cu配線46a～46eとシリコン酸化膜39の表面にプラズマ処理を施すことにより、Cu配線46a～46eおよびシリコン酸化膜39の表面のごく薄い領域に各々の下地材料の窒化膜を形成することができる。これにより、次に説明するキャップ膜（シリコン窒化膜）とCu配線46a～46eおよびシリコン酸化膜39との密着性が向上し、TDD寿命を著しく向上できる。この点は、本発明者らの実験結果の解析とともに後に詳しく説明する。

【0094】次に、ロボット304を用いて基板1を処理室302bに搬送する。処理室302bのゲートバルブ305を閉じ、処理室302b内が十分な真空度になるまで排気した後、処理室302bにシラン（SiH₄）、アンモニア、窒素の混合ガスを導入し、圧力調整を行って所定の圧力に維持する。その後、高周波電源から電極309に電界を印加してプラズマを発生し、図17に示すように、Cu配線46a～46eおよびシリコン酸化膜39の表面にシリコン窒化膜47（キャップ膜）を堆積する。所定時間の経過後高周波電界を停止しプラズマを停止する。その後、処理室302b内を真空排気し、ゲートバルブ305を開いてロボット304により基板1をロードロック室301に搬出する。さらに、ロボット304を用いてカセットインタフェイス303に基板1を排出する。

【0095】シリコン窒化膜47の膜厚はたとえば50 nmとする。その後、第3層目の配線と第2層目の配線（Cu配線46a～46e）とを接続するプラグを形成するためのシリコン酸化膜を形成し、前記したと同様の方法で、第3層目以降の埋め込みCu配線が形成される。図18は、上述したCu配線46a～46eの形成プロセスの全体フロー図である。

【0096】なお、図19に第7層目の配線までを形成したCMOS-LSIの一例を示す。第1層目の配線（M1）は、前記した通りタングステン膜からなる。第2層配線（M2）から第5層配線（M5）までは、前記したCu配線の形成方法で製造する。なお、第2層配線

(M2) および第3層配線(M3)は、配線幅、配線間距離および配線高さ(厚さ)は何れも $0.5\mu\text{m}$ で形成する。第4層配線(M4)および第5層配線(M5)は、配線幅、配線間距離および配線高さ(厚さ)は何れも $1\mu\text{m}$ で形成する。第6層配線(M6)はタングステン膜、アルミニウム膜およびタングステン膜の3層構成とし、第7層配線(M7)はアルミニウム膜で構成する。第7層配線(M7)にはバンプ等が形成されるが図示を省略している。

【0097】本実施の形態によれば、TDDDB寿命が大幅に改善される。図20は、本実施の形態の第2層配線M2(Cu配線46a~46e)と同層に形成されたTEGサンプルのTDDDB寿命を示すグラフであり、本実施の形態の場合のデータをラインAに示す。比較のためにアンモニアプラズマ処理をしない場合のTDDDB寿命データ(ラインRef)も同時に示す。図から明らかな通り、本実施の形態では、比較データと比べて約6桁の寿命向上が見られる。

【0098】図21は、本実施の形態で適用したシリコン酸化膜39をそれよりも緻密で強固なシリコン窒化膜に置き換えた場合のデータ(ラインB)を示す。絶縁膜を窒化シリコンに置き換えた場合であってもアンモニアプラズマ処理を施さなければ絶縁膜をシリコン酸化膜とした場合と何ら相違はない(ラインRef)。一方、シリコン窒化膜を絶縁膜に適用し、アンモニアプラズマ処理を施せば、本実施の形態以上にTDDDB寿命が向上する。しかしその向上の割合は大きくなく、アンモニアプラズマ処理を行うことによる要因の方が支配的であることがわかる。これは、TDDDB寿命を支配する要因は絶縁膜のバルクよりは、その界面が支配的であることを示している。

【0099】そこで、本発明者らは、アンモニアプラズマ処理によりTDDDB寿命が向上する機構を解析するために銅とシリコン酸化膜の表面分析を行った。以下に解析の結果を説明する。

【0100】図22~図24は、Cu配線表面のXPS(X-ray Photo-electron Spectroscopy)分析の結果を示したグラフである。各図の(a)、(c)はCu2pの分光結果を示し、(b)、(d)はN1sの分光結果を示す。

【0101】図22(a)、(b)はアズデポ状態のCu膜表面を分析した結果である。Cu2pのピークが観察され、N1sのピークはノイズレベルであることから、アズデポ状態のCu膜には窒素は存在しないことがわかる。図22(c)、(d)は、Cu膜にCMPのみを施した直後のCu配線表面を分析した結果である。Cu2pのピークとともにN1sのピークが観察される。前記した通りスラリにはBTAが含まれるため、Cu表面に残留したBTA内の窒素を観察しているものと推察できる。図23(a)、(b)は、CMP後に後洗浄ま

で行った状態のCu配線表面を分析した結果である。Cu2pピークに変化は見られないが、N1sピークが低下している。洗浄によりBTAが除去されたと考えられる。図23(c)、(d)は、後洗浄後大気雰囲気中に24時間放置した状態のCu配線表面を分析した結果である。Cu2pのピークとともにCuOのピークが観察される。N1sピークには放置による変化は見られない。放置によりCu表面が酸化され、CuOが生成していることがわかる。

【0102】このように酸化されたCu配線にアンモニアプラズマ処理を施した状態のCu配線表面を分析した結果が図24(a)、(b)である。CuOのピークはほぼ消失している。一方、N1sピークは強く生じている。Cu表面が還元されて酸素が引き抜かれているとともに表面が窒化されていると考えられる。比較のため、酸化されたCu配線に350℃の水素熱処理を施した状態のCu配線表面を分析した。結果は図24(c)、

(d)である。Cu2pピークについて、図24(c)と図24(a)とを比較すれば、よりアズデポ状態(図22(a))に近いことから、水素熱処理の方が還元性は強いと考えられる。一方、N1sピークはほとんど観察されないことから、水素熱処理ではCu表面が還元されるのみである。

【0103】以上の結果から、アンモニアプラズマ処理によりCu配線46a~46eの表面は還元されるとともに窒化層が形成されていくことがわかる。この窒化層は、アンモニアプラズマ処理の後にシリコン窒化膜を堆積する際の原料ガスに含まれるシランと銅との反応を防止し、銅のシリサイドの形成を抑制する働きを有すると考えられる。シリサイド形成の防止は配線抵抗の増加を抑制する役割があると考えられる。

【0104】図25は、シリコン酸化膜表面のXPS分析を行った結果を示すグラフであり、図26および図27は、シリコン酸化膜の質量分析(TDS-API-MS)を行った結果を示すグラフである。シリコン酸化膜の分析においては、CMP後洗浄まで行った状態(プロファイルC)、CMP後洗浄後水素プラズマ処理を行った状態(プロファイルD)、CMP後洗浄後アンモニアプラズマ処理を行った状態(プロファイルE)、CMP後洗浄後窒素プラズマ処理を行った状態(プロファイルF)について分析した。なお、プロファイルCの1eV程度の高エネルギー方向へのずれはチャージアップの影響によるものである。

【0105】図25(a)、(b)はともにSi2pスペクトルを観察したデータであり、(a)は10nm程度の深さを、(b)は2nm程度の深さを分析したものである。図25(c)、(d)、(e)は各々N1s、O1s、C1sスペクトルを観察したデータである。

【0106】図25(b)から、水素プラズマ処理(プロファイルD)の低エネルギー側(102eV付近)に

ブロードなピークが見られる。これはSi-H結合が存在すると考えられ、水素プラズマ処理によりシリコン酸化膜表面にSi-Hが形成されると推察される。

【0107】図25(a)より、アンモニアプラズマ処理(プロファイルE)と窒素プラズマ処理(プロファイルF)の105 eVのピークが低エネルギー側に広がった非対称なピークになっている。非対称部分のピーク(103.5 eV)はSi-O-N結合と考えられる。アンモニアプラズマ処理および窒素プラズマ処理によりシリコン酸化膜の表面が窒化されていると推察される。また、図25(a)と(b)との比較から、窒化は表面でより強くされていると考えられる。アンモニアプラズマ処理および窒素プラズマ処理による窒化は、図25(c)でも確認できる。

【0108】図25(e)より、水素プラズマ処理(プロファイルD)では炭素はほとんど検出されない。水素プラズマ処理により表面の有機物が除去されていることがわかる。また、CMP後(プロファイルC)の289 eVのピークはC-O結合と考えられる。CMP後ではスラリが残留していると考えられる。

【0109】図25(f)は、SiピークとNピークとからそれらの存在比を求め、N量を推定した値を示す。アンモニアプラズマ処理と窒素プラズマ処理とではほぼ同等の窒化がなされていると考える。

【0110】図26(a)、(b)、(c)、(d)は各々質量数41(Ar-H)、質量数27(C₂H₃)、質量数57(C₄H₉)、質量数59(C₃H₇O)を測定したグラフである。また、図27

(a)、(b)、(c)、(d)は各々質量数28(Si、C₂H₄)、質量数44(SiO、C₃H₆)、質量数29(SiH、C₂H₅)、質量数31(SiH₃)を測定したグラフである。

【0111】図26(a)から、プラズマ処理による水素の脱離量の相違はほとんどないが、水素プラズマ処理(プロファイルD)の脱離温度が他の場合(560℃)と比較して520℃と低いことがわかる。

【0112】図26(a)、(b)、(c)から、各プロセスとも有機物の離脱が見られる。一方、図27

(a)~(d)から、有機物の離脱以外のピークが存在が見られる。すなわち、300~400℃のピークは各々、Si、SiO、SiH、SiH₃と思われる。各図を比較すると、水素、アンモニア、窒素の各プラズマ処理で、SiOの離脱は見られるが、アンモニアプラズマ処理ではSiH、SiH₃の離脱はほとんど観察されない。すなわち、アンモニアプラズマ処理ではSi-O-Nが形成され、比較的低いエネルギーで容易に離脱する。また、離脱に必要なエネルギーは窒素プラズマ処理の場合が最も高く、水素プラズマ処理とアンモニアプラズマ処理とではほぼ同じと言える。

【0113】これらの結果から、シリコン酸化膜表面の

ダングリングボンドの原因となるSi-OHやSi-O-は、アンモニアプラズマ処理により、弱い結合のSi-O-Nで終端されると考えられる。アンモニアプラズマ処理の後のシリコン窒化膜の成膜において、ごく表面のSi-O-Nが離脱し、バルクのSi-O結合とシリコン窒化膜のSi-Nとが強固に結合し、連続的な界面を形成する。これが界面の密着性を向上する機構と考えられる。一方、アンモニアプラズマ処理を行わない場合には、そもそもSi-OH結合の多いシリコン酸化膜の表面とシリコン窒化膜の原料ガスであるアンモニアとが縮合反応し、ダングリングボンドの原因であるSi-O-結合が多数発生していると考えられる。シリコン酸化膜とシリコン窒化膜との界面に多数のダングリングボンドが存在すれば、そこはリークパスを形成することとなり配線間のリーク電流、ひいては絶縁破壊の原因となっていると考えられる。

【0114】以上の分析結果から、アンモニアプラズマ処理により、酸化されたCu配線の表面は還元されてCu単元素に変換され、イオン化されたCuよりも電氣的に安定な状態になり、かつ、シリコン酸化膜/シリコン窒化膜界面は連続的な強固な膜になることから、リーク電流が減少し、TDD寿命も大幅に向上すると考えられる。

【0115】図28は、アンモニアプラズマ処理を行った本実施の形態の場合の配線層とシリコン窒化膜(キャップ膜)との界面を観察したTEM写真である。一方図29はアンモニアプラズマ処理を行わない場合の界面のTEM写真である。図28では、界面に薄い被膜の存在が確認できる(矢印で示した)。この薄い被膜が前記した窒化層であると考えられる。一方図29では、そのような被膜は確認できない。

【0116】また、本実施の形態では、Cu配線の抵抗を低減できる。図30は、各種の処理を行った場合の配線抵抗の測定結果である。処理無し(プラズマ処理なし)とアンモニアプラズマ処理をした場合とでは、他の場合(水素プラズマ処理、水素アニール、窒素プラズマ処理)と比較して有意に低い値となっている。図31および図32は、これら各処理を施した場合のCu配線とキャップ膜(シリコン窒化膜)との界面を観察したTEM写真である。処理無しとアンモニアプラズマ処理の場合(図31)では界面に特異ものは見られないが、水素アニール、窒素プラズマ処理の場合(図32)では界面に銅のシリサイド(Cu₂Si)層が形成されている。このシリサイド層が抵抗増加の原因と思われる。このようなシリサイド層は、シリコン窒化膜の形成の際のシランガスとの反応で形成されるが、アンモニア処理を行っている場合にはCu表面にごく薄い窒化膜が形成されており、この窒化膜がシリサイド化のブロッキング層として機能していると考えられる。一方、水素アニール等、単に銅表面を還元するのみでは活性なCu表面が露出して

シリコンとの反応が促進されるため、シリサイド層が生成されやすいと考えられる。なお、水素プラズマ処理（図32(c)、(f)）の場合には、界面に何らかの生成物が見られる。ただし、多くの場合にはそのような生成物が形成されない場合もあり水素プラズマ処理の場合にはシリサイド化の程度は小さいと考えられる。なお、図31および図32において、TEM写真（図31(a)および(b)、図32(a)～(c)）に加えて、各々対応するトレース図面（図31(c)および(d)、図32(d)～(f)）を参考のために各TEM写真の下に示した。

【0117】上記した分析結果から、TDDB寿命の劣化機構として、以下のようなモデルが考えられる。すなわち、本実施の形態のアンモニア処理を施さない場合には、Cu配線の表面部分に酸化銅(CuO)が形成され、また、キャップ膜（シリコン窒化膜47）の形成の際に銅シリサイドが形成される。このような酸化銅あるいは銅シリサイドは、純粋な銅と比較してイオン化されやすく、このようなイオン化された銅は配線間の電界によりドリフトされ、配線間の絶縁膜に拡散される。また、銅配線を埋め込んで形成する絶縁膜（シリコン酸化膜39）とキャップ膜（シリコン窒化膜47）との界面は、本実施の形態のアンモニア処理を施さない場合にはダングリングボンドが多く形成され、不連続であり、密着性にも乏しい。このようなダングリングボンドの存在は銅イオンの拡散を助長する作用を有し、銅イオンは界面に沿ってドリフトされ拡散する。すなわち、配線間の前記界面にリークパスが形成される。リークパスを流れるリーク電流は、長時間のリーク作用と電流による熱ストレスも加わり、その後加速的に電流値が増加して破壊に至る（TDDB寿命）。

【0118】これに対し、本実施の形態では、Cu配線46a～46eの表面にアンモニア処理を施すため、Cu配線46a～46e表面の酸化層は還元されて消失し、Cu配線46a～46eの表面に薄い窒化層が形成されるためシリコン窒化膜47の形成の際に銅シリサイドが形成されない。このため、リークおよび絶縁破壊の原因となる銅イオンを支配的に供給する原因物質を生じなくすることができる。また、本実施の形態では、シリコン酸化膜39の表面にアンモニア処理を施すため、シリコン窒化膜47との接続を連続的にし、ダングリングボンドの密度を低減してリークパスの形成を抑制できる。すなわち、TDDB寿命低下の原因となる銅イオンの発生を抑制し、かつ、銅の拡散を抑制できるようなシリコン酸化膜39とシリコン窒化膜47との接合界面を形成できる。これによりTDDB寿命を向上できるのである。

【0119】なお、前記した解析から、水素プラズマ処理でもTDDB寿命を向上できると考えられる。すなわち、水素プラズマ処理により、Cu表面は還元され、S

i-O-等のダングリングボンドや、その原因となるSi-OHがSi-Hで終端される。そして、シリコン窒化膜の形成の際に、結合の弱い表面のSi-Hが離脱し、Si-Nで置換される。これにより連続的なシリコン酸化膜とシリコン窒化膜の界面が形成される。ただし配線抵抗は前記の通り増加する。図33は、水素プラズマ処理を行った場合のTDDB寿命のデータを示したグラフである。参考にラインRef（処理無し）とラインA（アンモニアプラズマ処理）を示した。水素プラズマ処理（ラインC）では、TDDB寿命が格段に向上することがわかる。水素プラズマ処理の場合にはプラズマダメージが軽減されることが期待されるので、キャップ膜としてシリコン窒化膜にかわる他の材料であってCuとの反応生成物を生じないような材料が適用できるときにはきわめて有効である。なお、窒素プラズマ処理（ラインD）ではTDDB寿命がかえって低下する。図26、27からもわかるように、窒素プラズマ処理によってかえって有機物の付着が増加していることに起因すると思われる。

【0120】本実施の形態では、さらに、Cu配線46a～46eおよびシリコン酸化膜39とキャップ膜47との接着性が向上しているため、界面の剥離強度が増し、マージンが大きくなるという効果もある。

【0121】なお、アンモニア、水素の単一ガスに限られず、窒素、アルゴン、ヘリウム等の不活性ガスとの混合ガスプラズマで処理しても良い。すなわち、アンモニアと水素、窒素、アルゴンまたはヘリウムとの混合ガス、あるいは、水素とアンモニア、窒素、アルゴンまたはヘリウムとの混合ガスでも良い。さらに、これらのガスから選択された3元素、4元素等多元素系の混合ガスであっても良い。このとき、水素、アンモニア、あるいは水素とアンモニアの和は、総流量（質量流量）に対して5%以上混合されていることが必要である。

【0122】（実施の形態2）本発明の実施の形態2であるCMOS-LSIの製造方法を図34～図43を用いて工程順に説明する。

【0123】本実施の形態の製造方法は、実施の形態1における図1～図8までの工程については同様である。以下CMP工程以降の工程を説明する。

【0124】図34は、埋め込みCu配線の形成に用いるCMP装置の全体構成の一例を示す概略図である。

【0125】図示のように、CMP装置400は、研磨処理部401とその後段に設けられた後洗浄部402とによって構成されている。研磨処理部401には、ウェハ（基板）1の研磨処理を行う2台の定盤（第1定盤403A、第2定盤403B）、研磨処理が終わった基板1を予備洗浄し、その表面に防食処理を施すクリーン・ステーション404、基板1をロード406、第1定盤403A、第2定盤403B、クリーン・ステーション404、アンロード407間に移動させる回転アーム4

05などが設置されている。

【0126】研磨処理部401の後段には予備洗浄が終わった基板1の表面をスクラブ洗浄した後洗浄部402が設けられている。後洗浄部402には、ロード408、第1洗浄部409A、第2洗浄部409B、スピンドライヤ410、アンロード411などが設置されている。また、後洗浄部402は、洗浄中の基板1の表面に光が照射するのを防ぐために、全体が遮光壁430で囲まれ、内部が180ルクス、好ましくは100ルクス以下の暗室状態となっている。これは、表面に研磨液が付着した基板1に湿潤状態で光が照射されると、シリコンの光起電力によってpn接合に短絡電流が流れ、pn接合のp側(+側)に接続されたCu配線の表面からCuイオンが解離して配線腐食を引き起こすからである。

【0127】図35に示すように、第1定盤403Aは、その下部に設けられた駆動機構412によって水平面で回転駆動する。また、第1定盤403Aの上面には多数の気孔を有するポリウレタンなどの合成樹脂を均一に貼り付けて形成した研磨パッド413が取り付けられている。第1定盤403Aの上方には、駆動機構414によって上下動および水平面で回転駆動するウエハキャリア415が設置されている。基板1は、このウエハキャリア415の下端部に設けられたウエハチャック416およびリテーナリング417によって、その主面(被研磨面)を下向きにして保持され、所定の荷重で研磨パッド413に押し付けられる。研磨パッド413の表面と基板1の被研磨面との間にはスラリー供給管418を通じてスラリー(研磨液)Sが供給され、基板1の被研磨面が化学的および機械的に研磨される。また、第1定盤403Aの上方には、駆動機構419によって上下動および水平面で回転駆動するドレッサ420が設置されている。ドレッサ420の下端部にはダイヤモンド粒子を電着した基材が取り付けられており、研磨パッド413の表面は、研磨砥粒による目詰まりを防ぐために、この基材によって定期的に切削される。なお、第2定盤403Bは、2本のスラリー供給管418a、418bが設けられている点を除き、第1定盤403Aとほぼ同様の構成になっている。

【0128】上記CMP装置400を使ってCu配線を形成するには、ロード406に收容された基板1を回転アーム405を使って研磨処理部401に搬入し、まず図36に示すように、第1定盤403Aの上において、砥粒を含まないスラリーを使用した化学機械研磨(砥粒フリー化学機械研磨)(第1ステップのCMP)を行い、前記配線溝40~44の外部のCu膜46を除去する(図37)。

【0129】ここで砥粒フリー化学機械研磨とは、アルミナ、シリカなどの粉末からなる砥粒の含有量が0.5%重量未満の研磨液(スラリー)を使用した化学機械研磨

を意味し、研磨液としては、特に砥粒の含有量が0.1重量%未満のものが好ましく、0.01重量%未満のものはさらに好ましい。

【0130】また、研磨液としては、Cuの腐食域に属するようにそのpHが調整されたものが使用され、さらにTiN膜45(バリア層)に対するCu膜46の研磨選択比が少なくとも5以上となるようにその組成が調整されたものが使用される。このような研磨液として、酸化剤と有機酸とを含んだスラリーを例示することができる。酸化剤としては、過酸化水素、水酸化アンモニウム、硝酸アンモニウム、塩化アンモニウムなどを例示することができ、有機酸としては、クエン酸、マロン酸、フマル酸、リンゴ酸、アジピン酸、安息香酸、フタル酸、酒石酸、乳酸、コハク酸などを例示することができる。これらのうち、過酸化水素は金属成分を含まず、かつ強酸ではないため、研磨液に用いて好適な酸化剤である。また、クエン酸は食品添加物としても一般に使用されており、毒性が低く、廃液としての害も低く、臭いもなく、水への溶解度も高いため、研磨液に用いて好適な有機酸である。本実施の形態では、例えば純水に5体積%の過酸化水素と0.03重量%のクエン酸とを加え、砥粒の含有量を0.01重量%未満にした研磨液を使用する。

【0131】上記研磨液で化学機械研磨を行うと、まずCu表面が酸化剤によって酸化され、表面に薄い酸化層が形成される。次に酸化物を水溶性化する物質が供給されると上記酸化層が水溶液となって溶出し、上記酸化層の厚さが減る。酸化層が薄くなった部分は再度酸化性物質に晒されて酸化層の厚が増し、この反応を繰り返して化学機械研磨が進行する。なお、このような砥粒フリーの研磨液を使用した化学機械研磨については、本願発明者などによる日本特願平9-299937号および特願平10-317233号に詳しく記載されている。

【0132】研磨の条件は、一例として荷重=250g/cm²、ウエハキャリア回転数=30rpm、定盤回転数=25rpm、スラリー流量=150cc/minとし、研磨パッドは、米国ロデール(Rodel)社の硬質パッド(IC1400)を使用する。研磨の終点は、Cu膜46が除去されて下地のTiN膜45が露出した時点とし、終点の検出は、研磨対象がCu膜46からTiN膜45になったときに変化する定盤またはウエハキャリアの回転トルク信号強度を検出することによって行う。また、研磨パッドの一部に穴を開け、ウエハ表面からの光反射スペクトル変化に基づいて終点を検出したり、スラリーの光学的スペクトル変化に基づいて終点を検出したりしてもよい。

【0133】図37に示すように、上記の砥粒フリー化学機械研磨を行うことにより、配線溝40~44の外部のCu膜46は殆ど除去されて下層のTiN膜45が露出するが、図38(a)(b)に拡大して示すように、下地段差に起因して生じたTiN膜45の窪み(矢印で

示す) などには、この研磨では除去しきれなかったCu膜46が残存する。

【0134】次に、配線溝40～44の外部のTiN膜45とその上面に局所的に残ったCu膜46とを除去するために、基板1を第1定盤403Aから第2定盤403Bに移し、砥粒を含む研磨液(スラリー)を使用した化学機械研磨(有砥粒化学機械研磨)(第2ステップのCMP)を行う。ここで有砥粒化学機械研磨とは、アルミナ、シリカなどの粉末からなる砥粒の含有量が0.5重量%以上の研磨液を使用した化学機械研磨を意味する。本実施の形態では、研磨液として純水に5体積%の過酸化水素、0.03重量%のクエン酸および0.5重量%の砥粒を混合したものを使用するが、これに限定されるものではない。この研磨液は、前記のスラリー供給管418aを通じて第2定盤403Bの研磨パッド413に供給される。

【0135】また、この有砥粒化学機械研磨においては、TiN膜45の上面に局所的に残ったCu膜46の除去に引き続いて、配線溝40～44の外部のTiN膜45を除去する。そこで、TiN膜45(バリア層)に対するCu膜46の研磨選択比が前記砥粒フリー化学機械研磨のそれよりも低い条件、例えば選択比3以下の条件で研磨を行い、配線溝40～44の内部のCu膜46の表面が研磨されるのを抑制する。

【0136】研磨の条件は、一例として荷重=120g/cm²、ウエハキャリア回転数=30rpm、定盤回転数=25rpm、スラリー流量=150cc/minとし、研磨パッドは、ロデール社のIC1400を使用する。研磨量はTiN膜45の膜厚相当分とし、研磨の終点は、TiN膜45の膜厚および研磨速度から算出した時間によって制御する。

【0137】図39に示すように、上記の有砥粒化学機械研磨を行うことにより、配線溝40～44の外部のTiN膜45は殆ど除去されて下層のシリコン酸化膜39が露出するが、図40(a)、(b)に拡大して示すように、下地段差に起因して生じたシリコン酸化膜39の窪み(矢印で示す)などには、上記の研磨で除去しきれなかったTiN膜45が残存する。

【0138】次に、配線溝40～44の内部のCu膜46の研磨を可能な限り抑制しつつ、配線溝40～44の外部のシリコン酸化膜39上に局所的に残ったTiN膜45(バリア層)を除去するための選択的的化学機械研磨(第3ステップのCMP)を行う。この選択的的化学機械研磨は、Cu膜46に対するTiN膜45の研磨選択比が少なくとも5以上となる条件で行う。また、この化学機械研磨は、Cu膜46の研磨速度に対するシリコン酸化膜39の研磨速度の比が1よりも大きくなる条件で行う。

【0139】上記選択的的化学機械研磨を行うには、一般に前記有砥粒化学機械研磨で使用したような0.5%重

量以上の砥粒を含有する研磨液に防食剤を添加したものを使用する。防食剤とは、Cu膜46の表面に耐食性の保護膜を形成することによって研磨の進行を阻止または抑制する薬剤をいい、ベンゾトリアゾール(BTA)、BTAカルボン酸などのBTA誘導体、ドデシルメルカプタン、トリアゾール、トリルトリアゾールなどが使用されるが、特にBTAを使用した場合に安定な保護膜を形成することができる。

【0140】防食剤としてBTAを使用する場合、その濃度はスラリーの種類にもよるが、通常は0.001～1重量%、より好ましくは0.01～1重量%、さらに好ましくは0.1～1重量%(3段階)の添加で十分な効果が得られる。本実施の形態では、研磨液として前記第2ステップの有砥粒化学機械研磨で使用した研磨液に防食剤として0.1重量%のBTAを混合したものを使用するが、これに限定されるものではない。また、防食剤の添加による研磨速度の低下を避けるために、ポリアクリル酸、ポリメタクリル酸、これらのアンモニウム塩またはエチレンジアミン四酢酸(EDTA)などを必要に応じて添加してもよい。なお、このような防食剤を含むスラリーを使用した化学機械研磨については、本願発明者などによる特願平10-209857号、特願平9-299937号および特願平10-317233号に詳しく記載されている。

【0141】この選択的的化学機械研磨(第3ステップのCMP)は、前記の有砥粒化学機械研磨(第2ステップのCMP)が終了した後、引き続いて第2定盤403Bの上で行われる。防食剤を添加した研磨液は、前記のスラリー供給管418bを通じて研磨パッド413の表面に供給される。研磨の条件は、一例として荷重=120g/cm²、ウエハキャリア回転数=30rpm、定盤回転数=25rpm、スラリー流量=190cc/minとする。

【0142】図41および図42(a)、(b)に示すように、上記の選択的的化学機械研磨を行うことにより、配線溝40～44の外部のTiN膜45がすべて除去され、配線溝40～44の内部に埋め込みCu配線46a～46eが形成される。

【0143】埋め込みCu配線46a～46eの形成が完了した上記基板1の表面には、砥粒などのパーティクルやCu酸化物などの金属粒子を含んだスラリー残渣が付着している。そこでこのスラリー残渣を除去するために、まず前記図34に示すクリーン・ステーション404においてBTAを含む純水で基板1を洗浄する。このとき、洗浄液に800kHz以上の高周波振動を加えて基板1の表面からスラリー残渣を遊離させるメガソニック洗浄を併用してもよい。次に、表面の乾燥を防ぐために基板1を湿润状態に保持した状態で研磨処理部401から後洗浄部402に搬送し、第1洗浄部409Aにおいて0.1重量%のNH₄OHを含む洗浄液を用いたスクラブ洗浄を行い、続いて第2洗浄部409Bにおいて純水

を用いたスクラブ洗浄を行う。前記のように、後洗浄部402は、洗浄中の基板1の表面に光が照射することにより起因してCu配線46a～46eに腐食が発生するのを防ぐため、全体が遮光壁430で覆われている。

【0144】上記スクラブ洗浄（後洗浄）が完了した基板1は、スピンドライヤ410で乾燥された後、次工程へ搬送される。

【0145】その後の工程は実施の形態1と同様である。図43は、上述したCu配線46a～46eの形成プロセスの全体フロー図である。

【0146】本実施の形態によれば、実施の形態1の場合よりさらにTDDB寿命を向上できる。図44は本実施の形態の場合のTDDB寿命を示したグラフである。本実施の形態の場合のデータはラインEで示している。参考のため、処理無し（ラインRef）と有砥粒の化学機械研磨の場合（実施の形態1）のデータ（ラインA）を同時に示している。なお、アンモニアプラズマ処理を行わず、砥粒フリーの化学機械研磨のみを行っただけでもラインFに示すようにTDDB特性が改善する。このように砥粒フリーの場合にTDDB寿命が向上するのはシリコン酸化膜に与えるダメージを低減できるためと考えられる。有砥粒の場合、スラリには2～3 μ mの粒径（2次粒径）の砥粒（アルミナ等）が含まれる。この砥粒によりマイクロスクラッチが生じ、シリコン酸化膜39の表面にダメージを与える。しかし、砥粒フリーの場合にはスラリに砥粒が含まれず、あるいは含まれていてもごく少数であるため、ダメージを大幅に軽減できる。このため、TDDB特性が改善されたものと考えられる。

【0147】なお、次の実施の形態で説明する酸処理（HF処理）を組み合わせると、さらにTDDB特性が改善する（ラインG）。酸処理は、CMP後洗浄後、さらに酸性水溶液（たとえばHF水溶液）で基板1を処理し、その後アンモニアプラズマ処理を行うものである。酸処理により表面のダメージ層が除去されて界面の密着性が向上しTDDB寿命が改善したものと考えられる。

【0148】（実施の形態3）図45は、Cu配線46a～46eの形成プロセスの全体フロー図である。同図に示すように、HFまたはクエン酸による洗浄工程を挿入した以外は実施の形態1と同様である。

【0149】HF洗浄は、たとえばブラシスクラブ洗浄を用い、HF濃度を0.5%、洗浄時間を20秒の条件が選択できる。

【0150】あるいはHF洗浄に代えてクエン酸洗浄を用いても良い。クエン酸洗浄は、たとえばブラシスクラブ洗浄を用い、クエン酸濃度を5%、洗浄時間を45秒の条件が選択できる。

【0151】このようにHFまたはクエン酸洗浄を用いることにより、CMP等で生じた表面のダメージ層を除去することができる。これによりTDDB寿命を向上で

きる。図46は、本実施の形態の場合のTDDB寿命を示したグラフである。本実施の形態の場合のクエン酸を適用したデータはラインH、HF洗浄を適用したデータはラインIで示している。参考のため、処理無し（ラインRef）と実施の形態1のデータ（ラインA）を同時に示している。なお、アンモニアプラズマ処理を行わず、HF洗浄のみを行っただけでもラインJに示すようにTDDB特性が改善する。これは、ダメージ層の除去により界面の特性を向上できたためと思われる。

【0152】（実施の形態4）図47～図49は、本発明の実施の形態4である半導体集積回路装置の製造方法を示した平面図および断面図である。図47～図49においては配線部のみ示している。

【0153】図47に示すように、絶縁膜501上に配線形成用の絶縁膜502を形成し、この絶縁膜502に埋め込んで銅配線503を形成する。層配線503の形成方法は実施の形態1～3と同様である。

【0154】さらに、シリコン窒化膜504、低誘電率のシリコン酸化膜505およびTEOSを原料ガスに用いてプラズマCVD法により形成したシリコン酸化膜（TEOS酸化膜）506を形成する。

【0155】低誘電率のシリコン酸化膜505は、例えば水素シルセスキオキサン（Hydrogen Silsesquioxane）を原料とする無機系SOG膜、テトラアルコキシシラン（tetra alkoxy silane）+アルキルアルコキシシラン（alkyl alkoxy silane）を原料とする有機系SOG膜といった塗布型絶縁膜や、プラズマCVD法で成膜するフロロカーボンポリマー膜など、比誘電率（ ϵ ）が3.0以下の酸化シリコン系絶縁膜によって構成する。このような低誘電率のシリコン酸化膜を用いることによって配線間寄生容量を低減し、配線遅延の問題を回避できる。

【0156】次に、図48（a）に示すようなパターンで、図48（b）に示すように、接続孔507を開口する。接続孔507の開口にはフォトリソグラフィとエッチングを用いる。ところで、低誘電率のシリコン酸化膜505は、表面が粗な膜構造を有し、Si-OH結合を多く有する。このためその上層に形成する膜の膜質や界面状態が良くないことは経験的に判明している。また、次工程で説明するバリア膜（窒化チタン）をそのまま未処理で成膜するとTDDB特性が良くないことも経験的に判明している。そこで、次に、実施の形態1で説明したアンモニアプラズマ処理を接続孔507内部のシリコン酸化膜505露出部に施す。これにより、表面のSi-OH結合が改質されて、実施の形態1で説明したようにSi-O-N結合に転換される。

【0157】次に、図49に示すように、接続孔507内に窒化チタンおよびタングステンからなるプラグ508を形成する。この窒化チタンの堆積の際、実施の形態1と同様にSi-O-N結合が離脱し、窒化チタンと低誘電率のシリコン酸化膜505との界面が改善され接着

性が向上する。

【0158】なお、このような接続孔内のプラズマ処理は、配線溝にも適用できることはもちろんである。

【0159】また、アンモニアプラズマ処理に代えて水素プラズマ処理、窒素、アルゴン、ヘリウム等が混合されたプラズマ処理であっても良い。

【0160】なお、接続孔507の開孔後にフォトレジスト膜を除去するためのアッシング工程に置いて、接続孔507底部の配線503の表面が酸化される場合がある。このような酸化層を除去する技術として、特開平11-16912号公報に記載の技術がある。

【0161】また、低誘電率のシリコン酸化膜505は、パッシベーション膜として形成される保護膜に含まれるシリコン酸化膜（たとえばTEOS酸化膜）の誘電率よりも低い誘電率を有するシリコン酸化膜と定義できる。

【0162】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0163】すなわち、上記した埋め込みCu配線46a～46eの形成方法は、デュアルダマシン法を用いた埋め込みCu配線の形成に適用することもできる。この場合は、第1層目のW配線24～30を形成した後、まず図50に示すように、第1層目のW配線24～30の上部にプラズマCVD法で膜厚1200nm程度のシリコン酸化膜31、膜厚50nm程度の薄いシリコン窒化膜38および膜厚350nm程度のシリコン酸化膜39を順次堆積する。

【0164】次に、図51に示すように、フォトレジスト膜をマスクにしたドライエッチングで第1層目のW配線24、26、27、29、30の上部のシリコン酸化膜39、シリコン窒化膜38およびシリコン酸化膜31を順次除去した後、図52(a)、(b)に示すように、別のフォトレジスト膜をマスクに用い、シリコン窒化膜38をエッチングのストップしたドライエッチングでシリコン酸化膜39を除去することによって、スルーホールを兼ねた配線溝50～54を形成する。

【0165】次に、図53に示すように、配線溝50～54の内部を含むシリコン酸化膜39の上部に膜厚50nm程度の薄いTiN膜45を堆積した後、TiN膜45の上部に配線溝50～54の深さよりも十分に厚い膜厚のCu膜46を堆積する。スルーホールを兼ねた配線溝50～54は、前記配線溝40～44に比べてアスペクト比が大きいため、TiN膜45はCVD法で堆積する。また、Cu膜46はスパッタリングを2回以上繰り返すことによって堆積する。また、CVD法、電解メッキ法あるいは無電解メッキ法で形成してもよい。メッキ法でCu膜46を形成する場合には、配線溝50～54

の下層にCuのシード層をスパッタリング法などで形成する工程が必要となる。

【0166】次に、図54に示すように、前述した砥粒フリー化学機械研磨、有砥粒化学機械研磨および選択的化學機械研磨によって配線溝50～54の外部のCu膜46とTiN膜45とを除去し、配線溝50～54の内部に埋め込みCu配線46a～46eを形成する。その後の工程は、前記シングルダマシン法を用いた埋め込みCu配線46a～46eの形成方法と同じである。

【0167】また、前記実施の形態1～4は、各々独立に適用できることはもちろん、相互に組み合わせて適用できることは言うまでもない。たとえば実施の形態2の技術を適用して砥粒フリーで化学機械研磨を施し、その後実施の形態3を適用して酸処理を施し、さらに実施の形態1を適用してアンモニアあるいは水素、その他のプラズマ処理を施しても良い。

【0168】また、前記実施の形態では、アンモニアプラズマ処理後のシリコン窒化膜47の形成を真空破壊することなく連続的に行ったが、アンモニアプラズマ処理の後、一旦真空破壊をして、その後シリコン窒化膜47を形成しても良い。真空破壊しない方が本発明の効果をより効果的に奏することができるが、アンモニアプラズマ処理により薄い窒化層が形成されるため、真空破壊を行い大気雰囲気暴露しても酸化層の形成を抑制できる。よって、真空破壊した場合であっても、本実施の形態の効果をある程度奏することは可能である。

【0169】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0170】ダマシン法を用いて形成された銅配線の絶縁破壊耐性（信頼性）を向上できる。

【0171】配線層とキャップ膜との剥離の発生を抑制できる。

【0172】キャップ膜にシリコン窒化膜を用いた場合の銅配線の抵抗値の増加を防止できる。

【図面の簡単な説明】

【図1】本発明の一実施の形態（実施の形態1）である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図2】実施の形態1の製造方法を示す半導体基板の要部断面図である。

【図3】実施の形態1の製造方法を示す半導体基板の要部断面図である。

【図4】実施の形態1の製造方法を示す半導体基板の要部断面図である。

【図5】実施の形態1の製造方法を示す半導体基板の要部断面図である。

【図6】(a)は実施の形態1の製造方法を示す平面図、(b)は実施の形態1の製造方法を示す要部断面図

である。

【図 7】(a) は実施の形態 1 の製造方法を示す平面図、(b) は実施の形態 1 の製造方法を示す要部断面図である。

【図 8】実施の形態 1 の製造方法を示す半導体基板の要部断面図である。

【図 9】埋め込み Cu 配線の形成に用いる CMP 装置の全体構成の一例を示す概略図である。

【図 10】埋め込み Cu 配線の形成に用いる CMP 装置の一部を示す概略図である。

【図 11】ウエハのスクラブ洗浄方法を示す斜視図である。

【図 12】埋め込み Cu 配線の形成に用いる CMP 装置の全体構成の他の例を示す概略図である。

【図 13】埋め込み Cu 配線の形成に用いる CMP 装置の全体構成のさらに他の例を示す概略図である。

【図 14】実施の形態 1 の製造方法を示す半導体基板の要部断面図である。

【図 15】(a) は、アンモニアプラズマ処理およびシリコン窒化膜の堆積に用いるプラズマ処理装置の概要を示した断面図であり、(b) は同じく平面図である。

【図 16】実施の形態 1 の製造方法を示す半導体基板の要部断面図である。

【図 17】実施の形態 1 の製造方法を示す半導体基板の要部断面図である。

【図 18】実施の形態 1 の半導体集積回路装置の製造方法を示すフロー図である。

【図 19】実施の形態 1 の半導体集積回路装置の概要を示す断面図である

【図 20】TDD B 寿命を示すグラフである。

【図 21】TDD B 寿命を示すグラフである。

【図 22】(a) ~ (d) は、XPS データを示すグラフである。

【図 23】(a) ~ (d) は、XPS データを示すグラフである。

【図 24】(a) ~ (d) は、XPS データを示すグラフである。

【図 25】(a) ~ (e) は、XPS データを示すグラフである。(f) は組成比を示す表図である。

【図 26】(a) ~ (d) は、質量分析結果を示すグラフである。

【図 27】(a) ~ (d) は、質量分析結果を示すグラフである。

【図 28】実施の形態 1 の配線部分を示す TEM 写真である。

【図 29】比較として示す TEM 写真である。

【図 30】配線抵抗を示すグラフである。

【図 31】(a) は処理無しの場合の配線部分を示す TEM 写真である。(b) は実施の形態 1 の配線部分を示す TEM 写真である。(c) および (d) は、各々

(a) および (b) をトレースした図面である。

【図 32】(a) ~ (c) は、比較として示す TEM 写真である。(d)、(e) および (f) は、各々 (a)、(b) および (c) をトレースした図面である。

【図 33】TDD B 寿命を示すグラフである。

【図 34】本発明の実施の形態 2 である半導体集積回路装置の製造方法に用いる CMP 装置の全体構成の一例を示す概略図である。

【図 35】埋め込み Cu 配線の形成に用いる CMP 装置の一部を示す概略図である

【図 36】Cu 膜の研磨状態を示す CMP 装置の概略図である。

【図 37】実施の形態 2 の半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 38】(a) は、実施の形態 2 の半導体集積回路装置の製造方法を示す半導体基板の要部平面図、(b) は同じく要部断面図である。

【図 39】実施の形態 2 の半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 40】(a) は、実施の形態 2 の半導体集積回路装置の製造方法を示す半導体基板の要部平面図、(b) は同じく要部断面図である。

【図 41】実施の形態 2 の半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 42】(a) は、実施の形態 2 の半導体集積回路装置の製造方法を示す半導体基板の要部平面図、(b) は同じく要部断面図である。

【図 43】実施の形態 2 の半導体集積回路装置の製造方法を示すフロー図である。

【図 44】TDD B 寿命を示すグラフである。

【図 45】実施の形態 3 の半導体集積回路装置の製造方法を示すフロー図である。

【図 46】TDD B 寿命を示すグラフである。

【図 47】実施の形態 4 の半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 48】(a) は、実施の形態 4 の半導体集積回路装置の製造方法を示す半導体基板の要部平面図、(b) は同じく要部断面図である。

【図 49】実施の形態 4 の半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 50】本発明の他の実施の形態の半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 51】本発明の他の実施の形態の半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 52】(a) は、他の実施の形態の半導体集積回路装置の製造方法を示す半導体基板の要部平面図、(b) は同じく要部断面図である。

【図 53】本発明の他の実施の形態の半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図54】本発明の他の実施の形態の半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図55】銅配線、アルミニウム配線、タングステン配線のTDDDB特性を測定したデータを示すグラフである。

【図56】本願のTDDDB寿命測定に使用した試料を示し、(a)は平面図、(b)および(c)は(a)におけるB-B'線断面およびC-C'線断面を各々示す。

【図57】測定の概要を示した概念図である。

【図58】電流電圧測定結果の一例である。

【符号の説明】

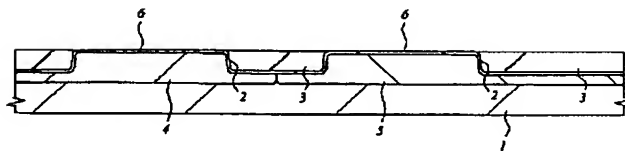
- | | |
|--------------------------|-----------------|
| 1 基板 | 109 ドレッサ |
| 2 素子分離溝 | 110 駆動軸 |
| 3 シリコン酸化膜 | 120 ロード |
| 4 p型ウエル | 121A ブラシ |
| 5 n型ウエル | 130 研磨処理部 |
| 6 ゲート酸化膜 | 140 防蝕処理部 |
| 7 ゲート電極 | 150 浸漬処理部 |
| 9 シリサイド層 | 160 後洗浄処理部 |
| 11 n ⁻ 型半導体領域 | 170 アンローダ |
| 12 p ⁻ 型半導体領域 | 200 CMP装置 |
| 13 サイドウォールスペーサ | 220 ロード |
| 14 n ⁺ 型半導体領域 | 230 研磨処理部 |
| 15 p ⁺ 型半導体領域 | 240 乾燥処理部 |
| 18 シリコン酸化膜 | 250 後洗浄処理部 |
| 20~22 コンタクトホール | 260 アンローダ |
| 23 プラグ | 301 ロードロック室 |
| 24~30 W配線 | 302a 処理室 |
| 28~30 Cu配線 | 302b 処理室 |
| 31 シリコン酸化膜 | 303 カセットインタフェース |
| 32~36 スルーホール | 304 ロボット |
| 37 プラグ | 305 ゲートバルブ |
| 38 シリコン窒化膜 | 306 サセプタ |
| 39 シリコン酸化膜 | 307 バッフル板 |
| 40~44 配線溝 | 308 支持部材 |
| 45 TiN膜 | 309 電極 |
| 46 Cu膜 | 310 絶縁板 |
| 46a~46e Cu配線 | 311 反射ユニット |
| 47 シリコン窒化膜(キャップ膜) | 312 ランプ |
| 50~54 配線溝 | 313 赤外線 |
| 100 CMP装置 | 314 石英窓 |
| 101 筐体 | 315 ガスポート |
| 102 回転軸 | 316 真空マニホールド |
| 103 モータ | 400 CMP装置 |
| 104 研磨盤 | 401 研磨処理部 |
| 105 研磨パッド | 402 後洗浄部 |
| 106 ウエハキャリア | 403A 第1定盤 |
| 106a 凹部 | 403B 第2定盤 |
| 107 駆動軸 | 404 クリーン・ステーション |
| 108 スラリ供給管 | 405 回転アーム |
| | 406 ロード |
| | 407 アンローダ |
| | 408 ロード |
| | 409A 第1洗浄部 |
| | 409B 第2洗浄部 |
| | 410 スピンドライヤ |
| | 411 アンローダ |
| | 412 駆動機構 |
| | 413 研磨パッド |
| | 414 駆動機構 |
| | 415 ウエハキャリア |

416 ウエハチャック
 417 リテーナリング
 418 スラリ供給管
 418a スラリ供給管
 418b スラリ供給管
 419 駆動機構
 420 ドレッサ
 430 遮光壁
 501 絶縁膜

502 絶縁膜
 503 配線
 504 シリコン窒化膜
 505 シリコン酸化膜
 507 接続孔
 508 プラグ
 Qn nチャネル型MISFET
 Qp pチャネル型MISFET

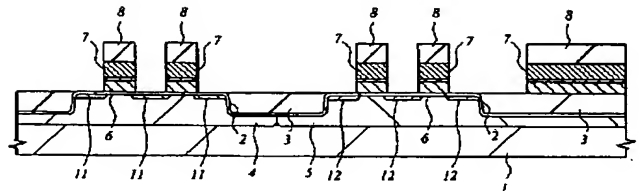
【図1】

図 1



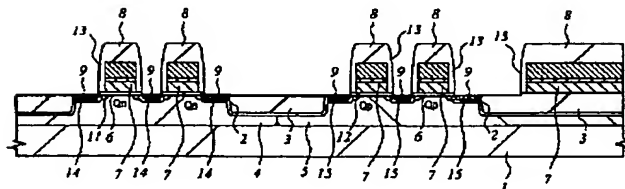
【図2】

図 2



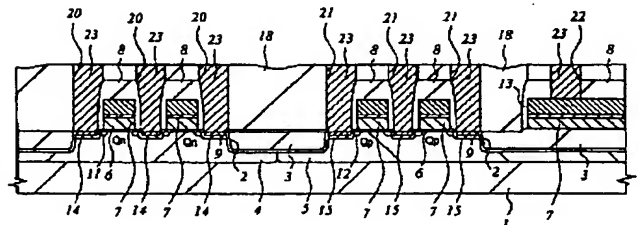
【図3】

図 3



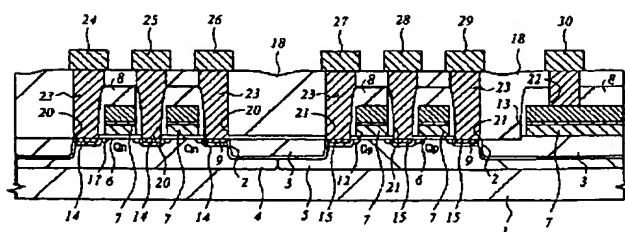
【図4】

図 4



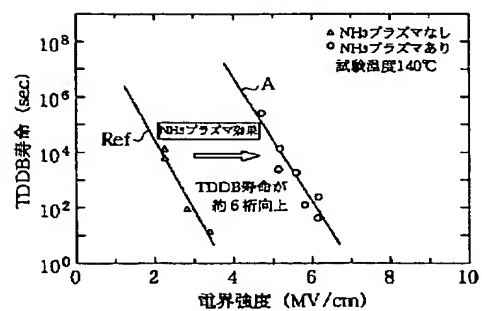
【図5】

図 5



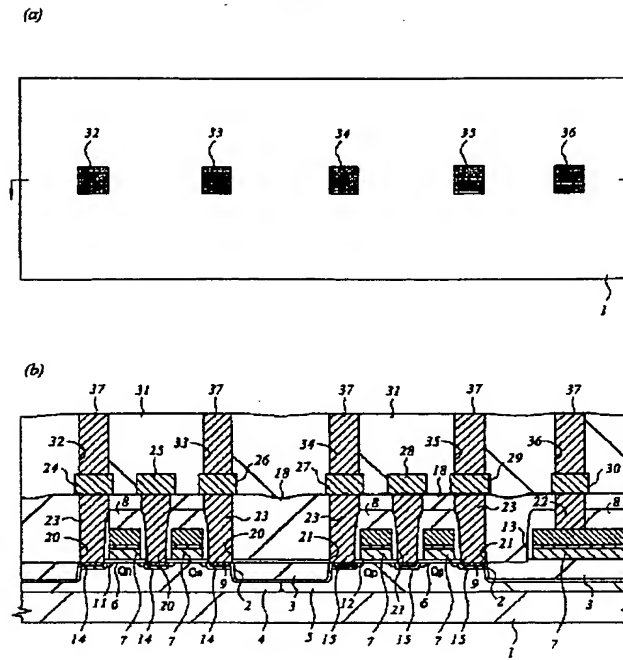
【図20】

図 20



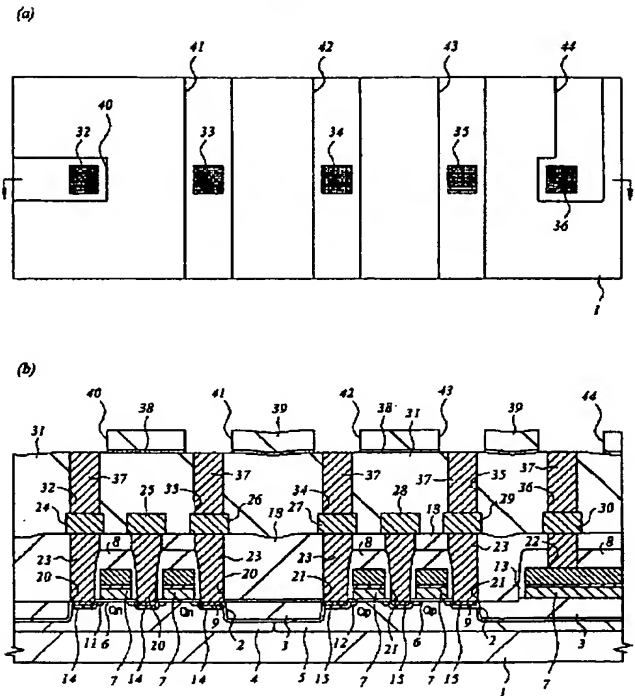
【図 6】

図 6



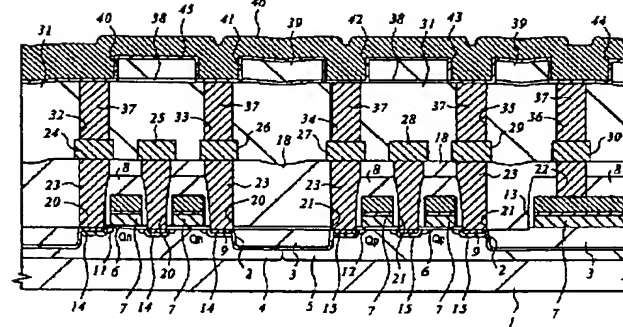
【図 7】

図 7



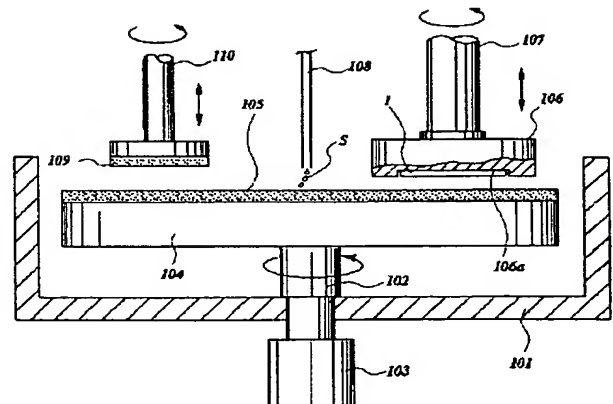
【図 8】

図 8



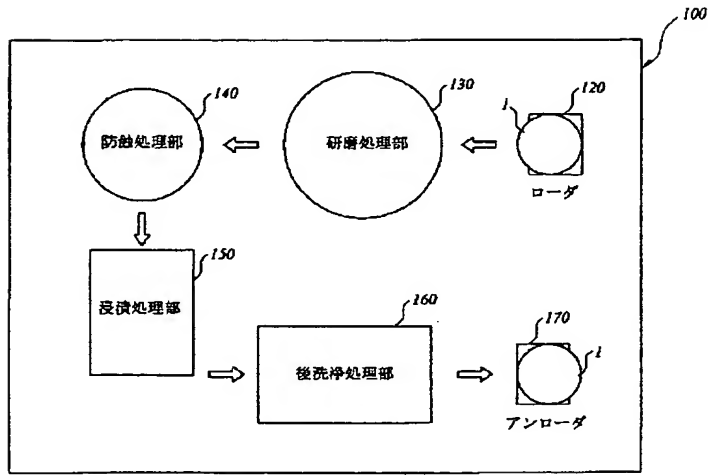
【図 10】

図 10



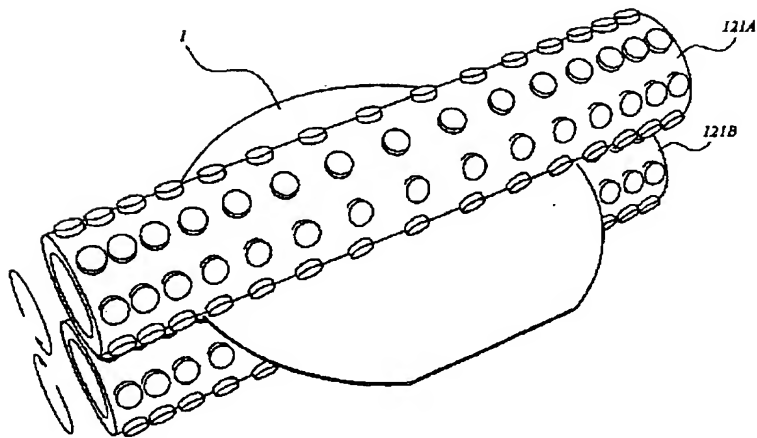
【図9】

図 9



【図11】

図 11



【図21】

図 21

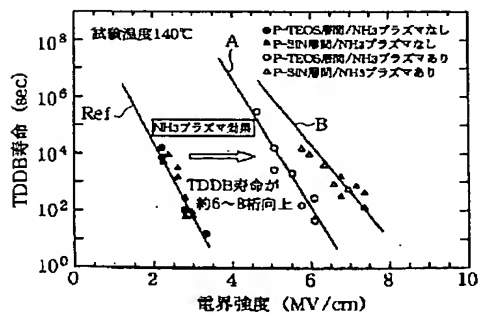
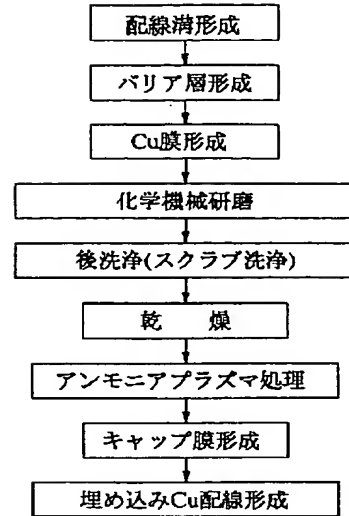


図 28



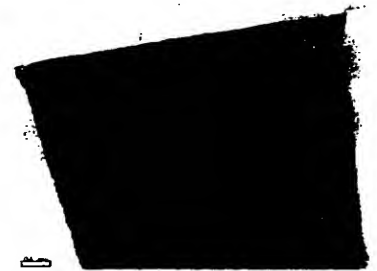
【図18】

図 18



【図29】

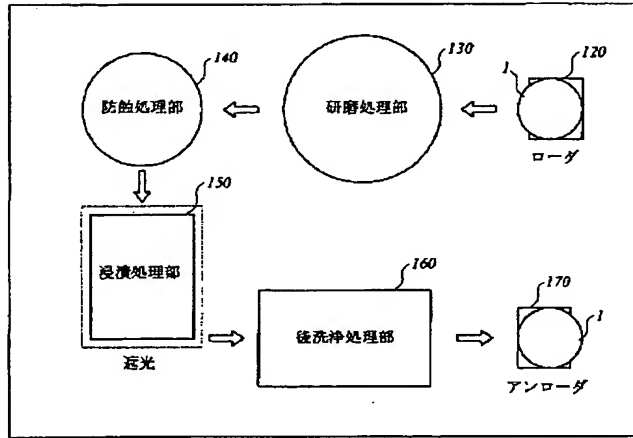
図 29



【図28】

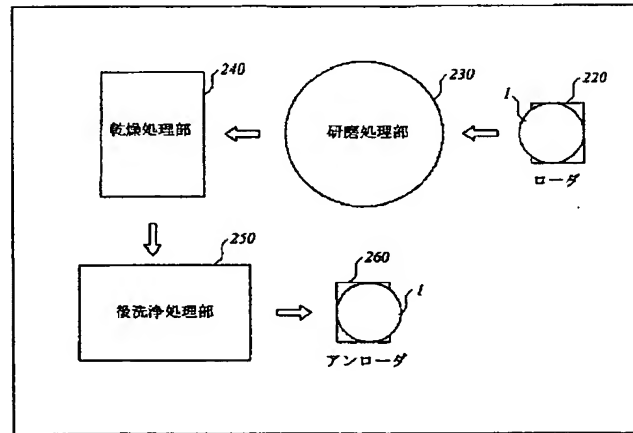
【図12】

図 12



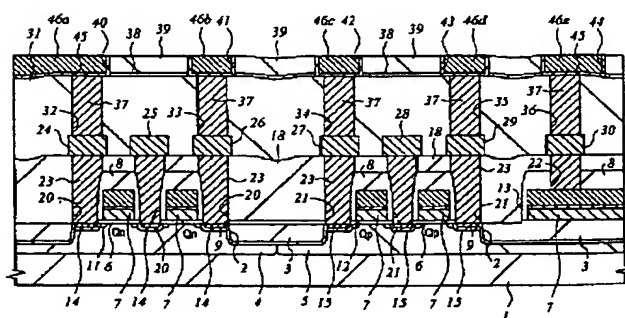
【図13】

図 13



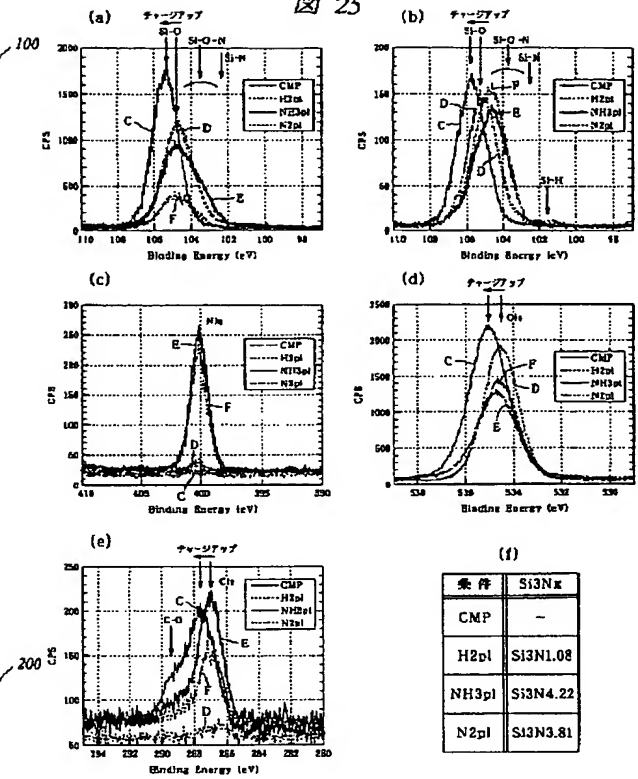
【図14】

図 14



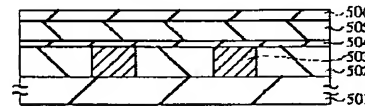
【図25】

図 25



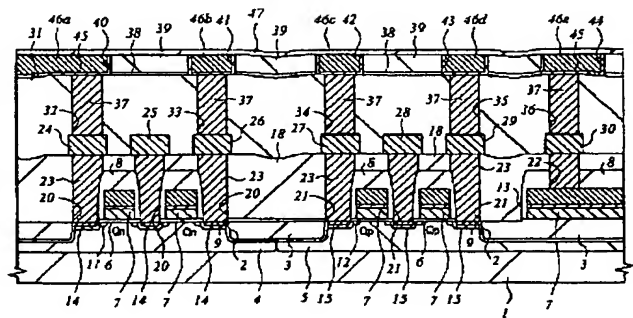
【図47】

図 47



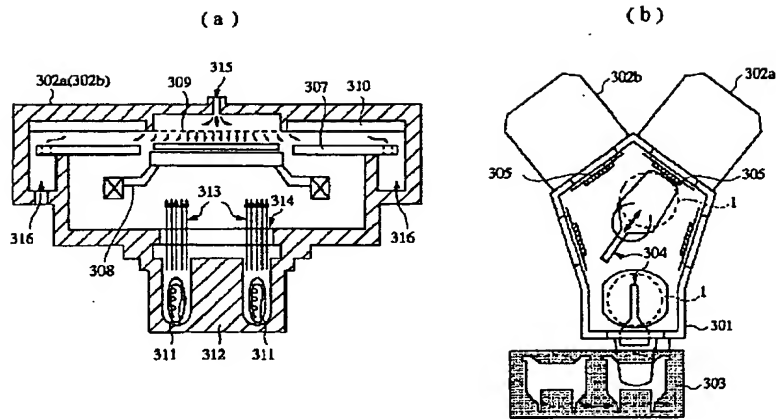
【図17】

図 17



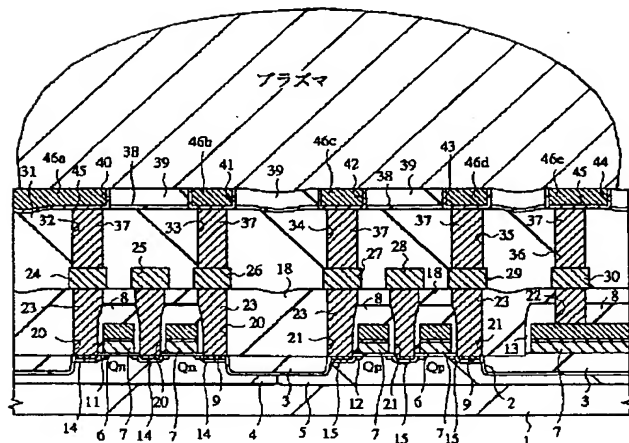
【図 15】

図 15



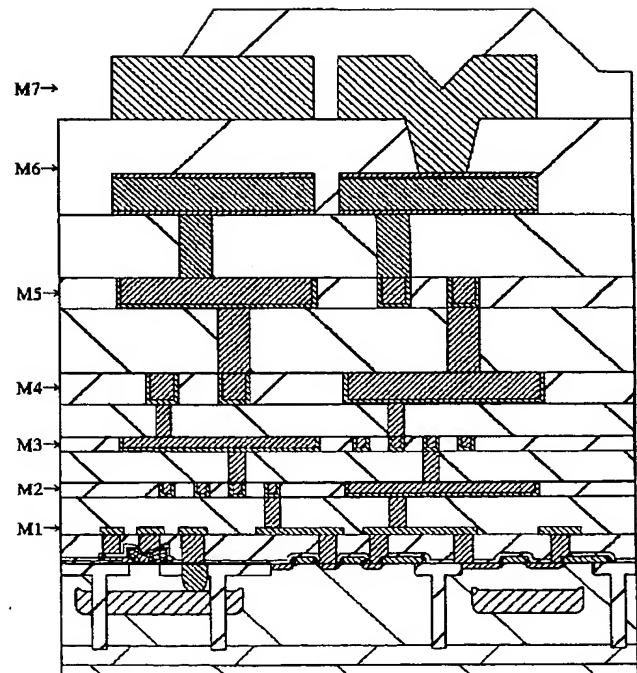
【図 16】

図 16



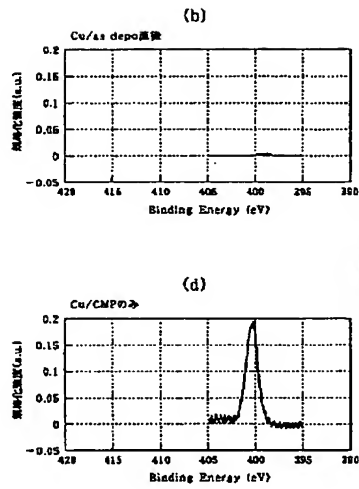
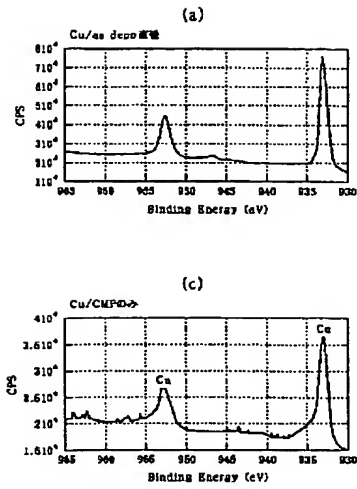
【図 19】

図 19



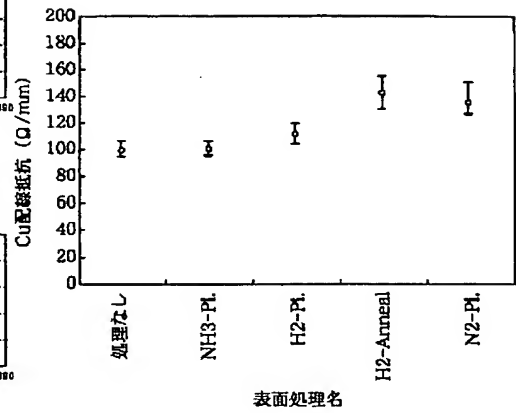
【図22】

図 22



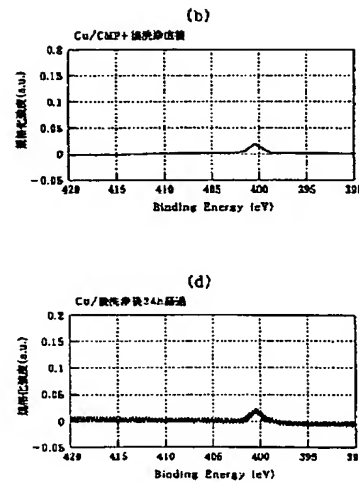
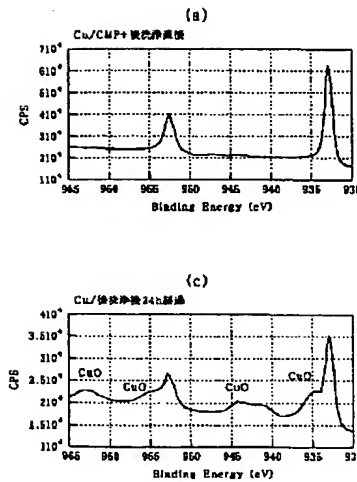
【図30】

図 30



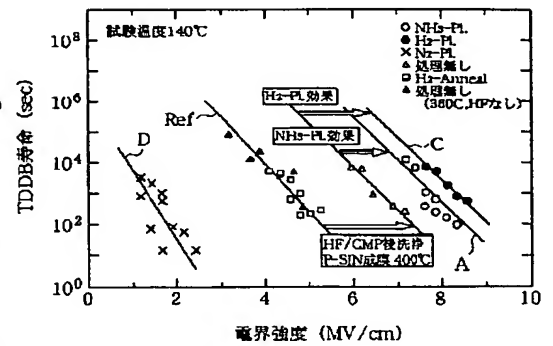
【図23】

図 23



【図33】

図 33

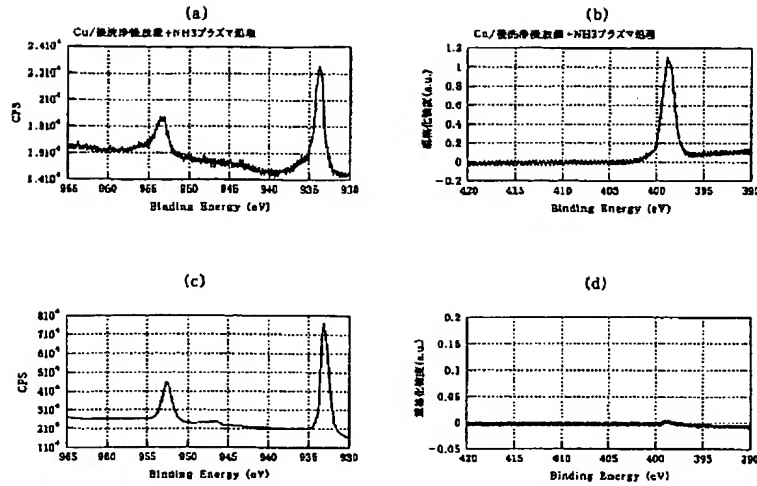


【図 24】

【図 44】

図 24

図 44

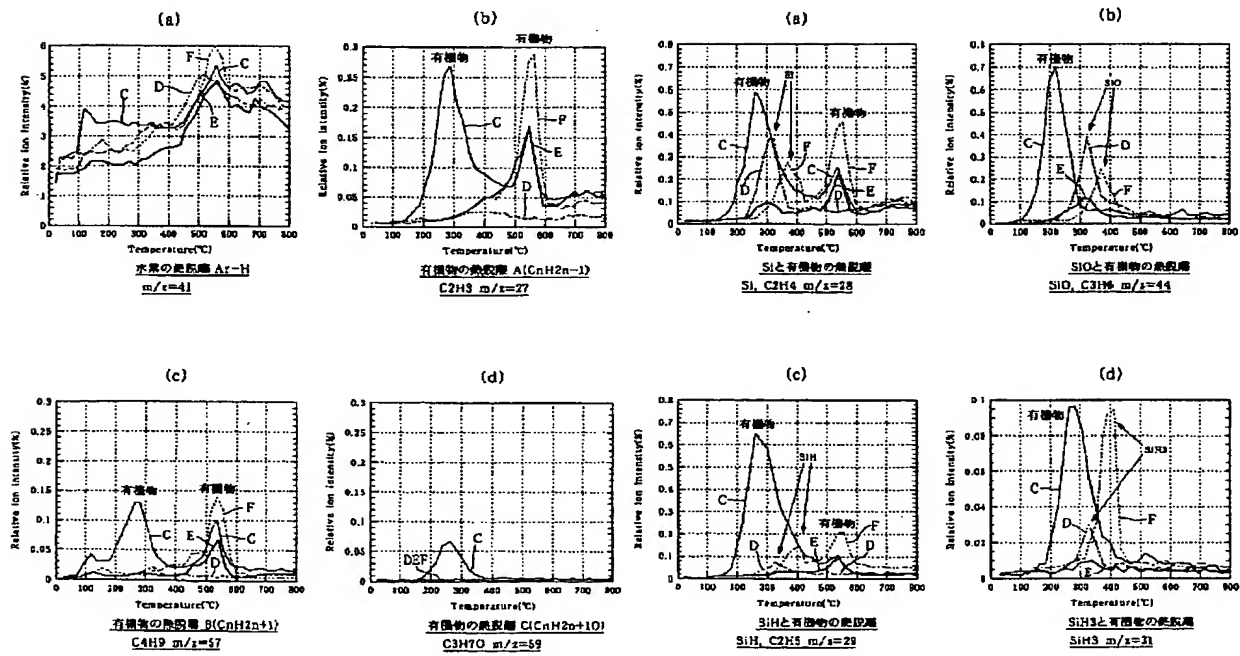


【図 26】

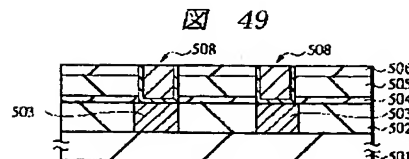
【図 27】

図 26

図 27

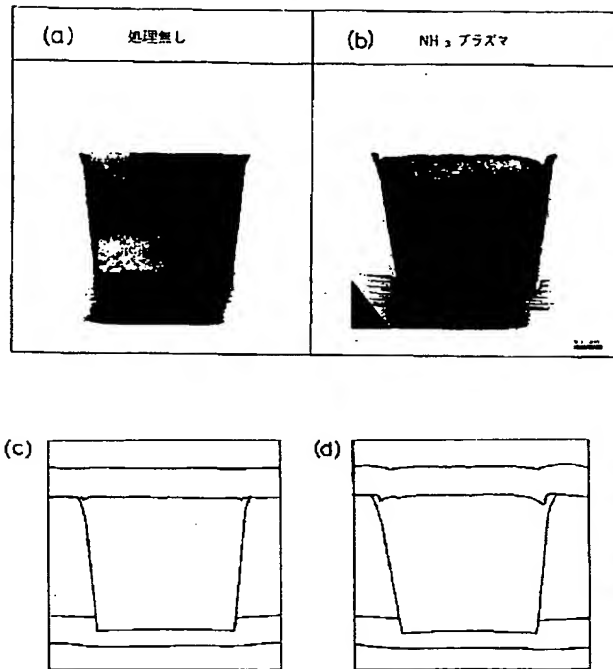


【図 49】



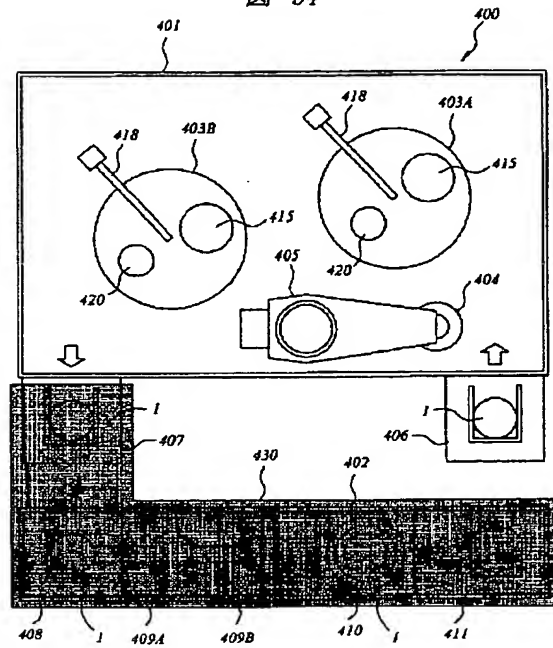
【図 31】

図 31



【図 34】

図 34

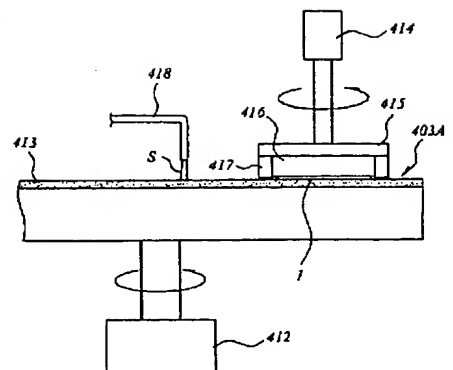
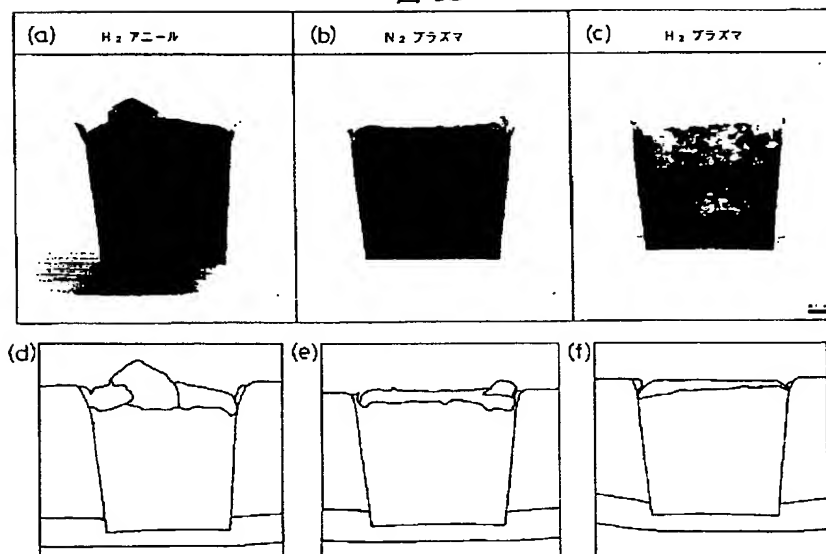


【図 36】

図 36

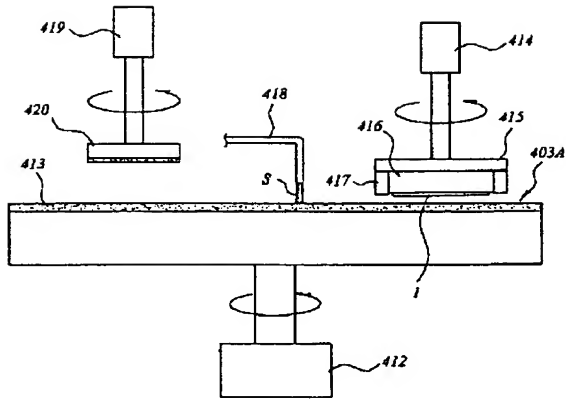
【図 32】

図 32



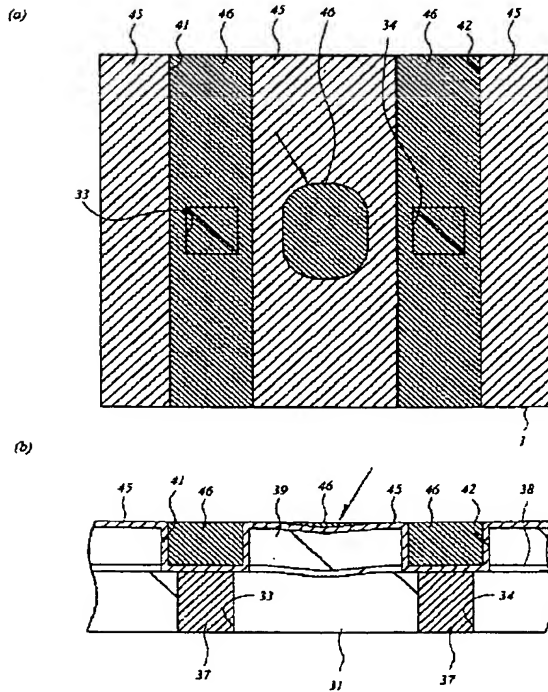
【図 35】

図 35



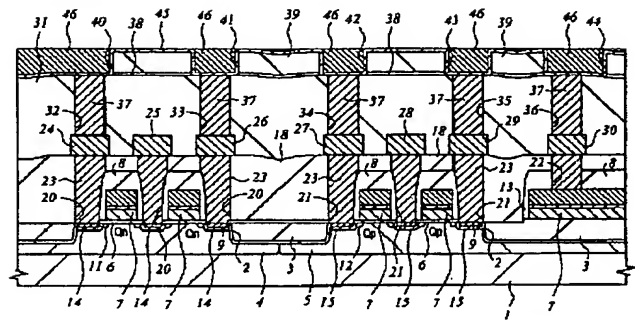
【図 38】

図 38



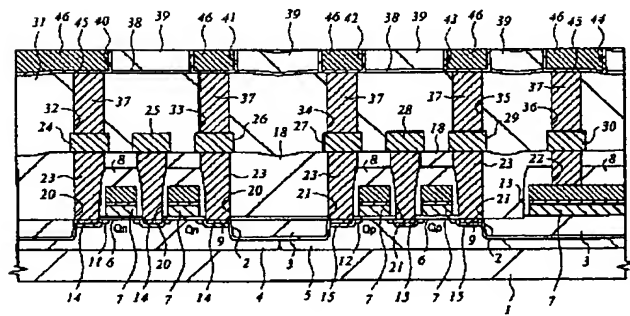
【図 37】

図 37



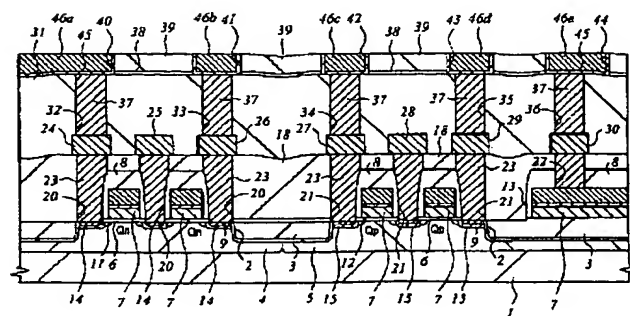
【図 39】

図 39



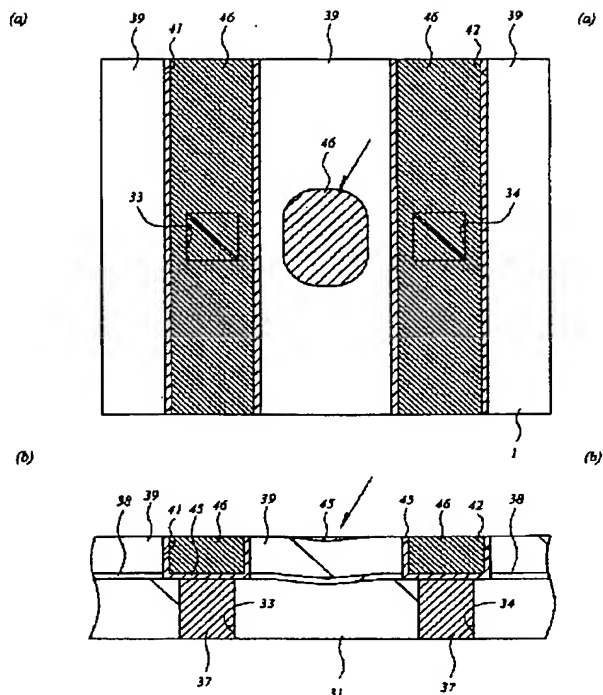
【図 41】

図 41



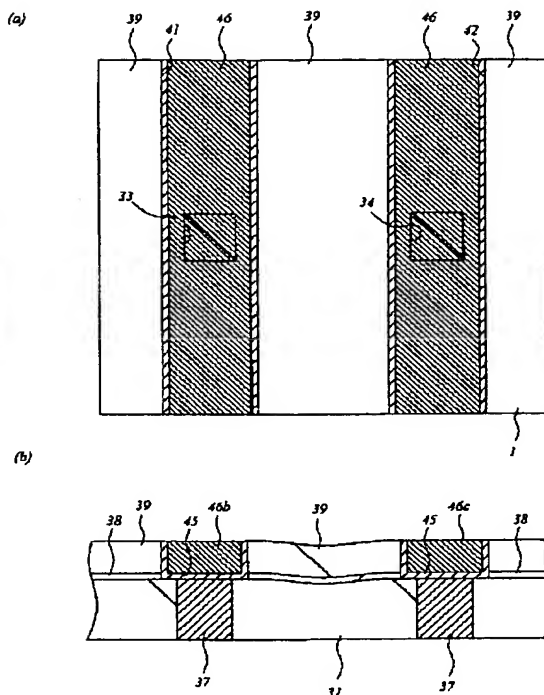
【図40】

図 40



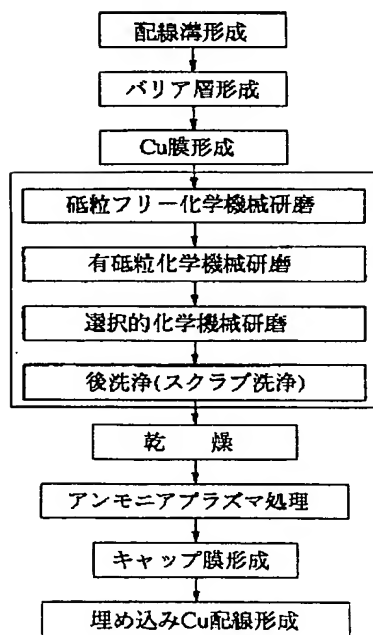
【図42】

図 42



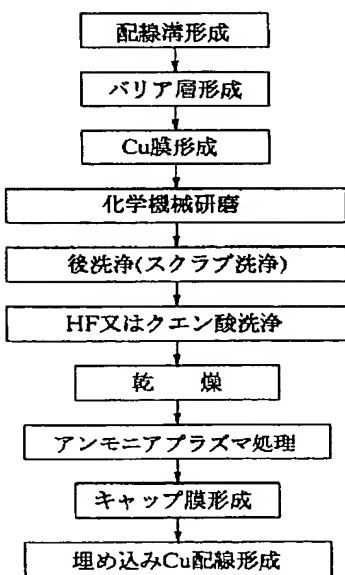
【図43】

図 43



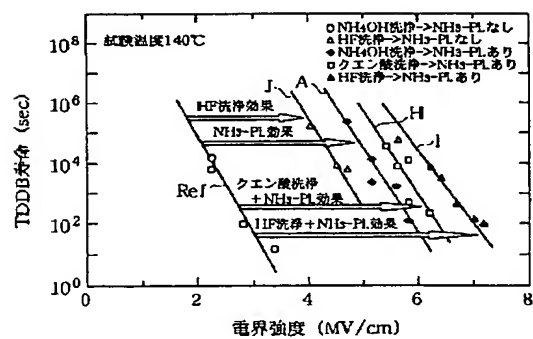
【図45】

図 45



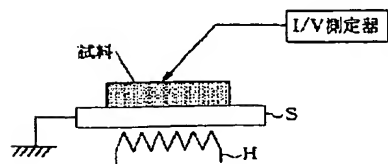
【図46】

図 46



【図57】

図 57



【図50】

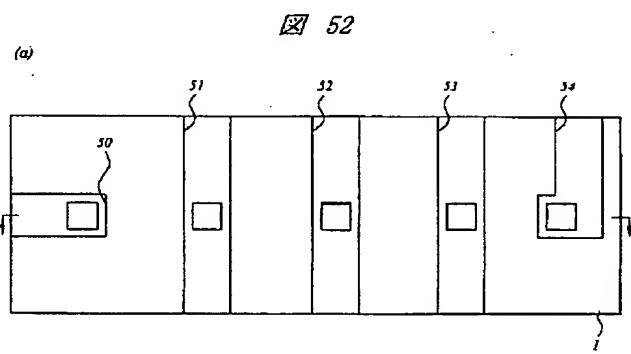
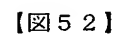
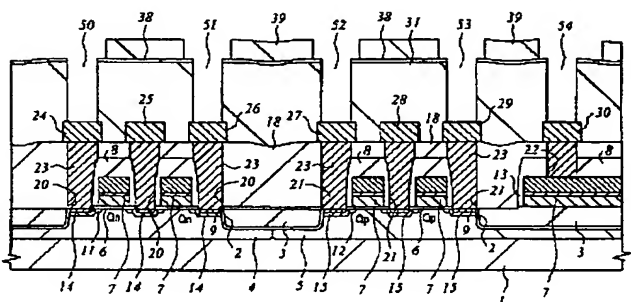


图 53



【图 5 5】



Figure 1 is a log-linear plot showing the relationship between TDDB life (sec) and electric field strength (MV/cm) for three different dielectric materials at a test temperature of 140°C. The y-axis is logarithmic, ranging from 10^0 to 10^8 seconds. The x-axis is linear, ranging from 0 to 10 MV/cm. Three data series are plotted: Cu配膜 (filled circles), Al配膜 (open triangles), and W配膜 (open squares). All three series show a linear decrease in log(TDDB life) as electric field strength increases, with similar slopes. A dashed line indicates a 10-year life expectancy at 0.2 MV/cm.

Electric Field Strength (MV/cm)	TDDB Life (sec) - Cu配膜	TDDB Life (sec) - Al配膜	TDDB Life (sec) - W配膜
2.2	10^4	-	-
2.5	10^4	-	-
3.0	10^2	-	-
3.5	10^1	-	-
4.2	-	10^4	-
6.2	-	10^1	10^4
6.8	-	-	10^3
7.2	-	-	10^2
8.2	-	-	10^1

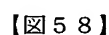
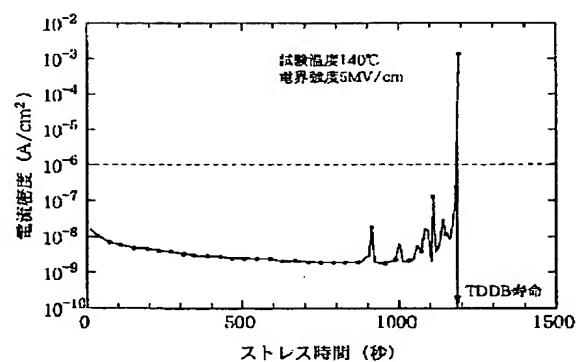


图 58



(72)発明者 武田 健一

(72) 發明者 齋藤 達之

(72) 發明者 山口 日出

(72)発明者 大和田 伸郎

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

F ターム(参考) 5F033 HH08 HH11 HH18 HH19 HH21
HH23 HH32 HH33 HH34 JJ01
JJ08 JJ11 JJ18 JJ19 JJ21
JJ23 JJ32 JJ33 JJ34 KK01
KK08 KK11 KK18 KK19 KK21
KK23 KK32 KK33 KK34 MM01
MM02 MM08 MM12 MM13 NN06
NN07 PP06 PP15 PP27 PP28
QQ00 QQ08 QQ09 QQ11 QQ20
QQ25 QQ37 QQ48 QQ50 QQ73
QQ75 QQ90 QQ93 QQ98 RR04
RR06 RR09 RR15 RR24 RR25
SS01 SS02 SS04 SS11 SS15
TT02 TT04 WW04 XX10 XX12
XX14 XX24 XX27